

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of

Inventors: Kiyohito MUKAI, et al.

Application No.: New Patent Application

Filed: November 18, 2003

For: SEMICONDUCTOR DEVICE LAYOUT INSPECTION METHOD

CLAIM FOR PRIORITY

Honorable Commissioner of
Patents and Trademarks
Washington, D.C. 20231

Sir:

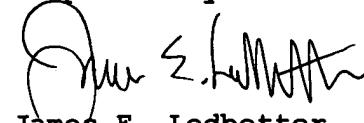
The benefit of the filing date of the following prior foreign application filed in the following foreign country is hereby requested for the above-identified application and the priority provided in 35 USC 119 is hereby claimed:

Japanese Appln. No. 2002-338980, filed November 22, 2002.

In support of this claim, a certified copy of said original foreign application is filed herewith.

It is requested that the file of this application be marked to indicate that the requirements of 35 USC 119 have been fulfilled and that the Patent and Trademark Office kindly acknowledge receipt of this document.

Respectfully submitted,



James E. Ledbetter
Registration No. 28,732

Date: November 18, 2003

JEL/spp
Attorney Docket No. L8462.03118

STEVENS, DAVIS, MILLER & MOSHER, L.L.P.
1615 L Street, NW, Suite 850
P.O. Box 34387
Washington, DC 20043-4387
Telephone: (202) 785-0100
Facsimile: (202) 408-5200

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2002年11月22日

出願番号

Application Number:

特願2002-338980

[ST.10/C]:

[JP2002-338980]

出願人

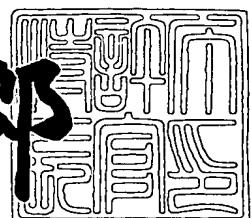
Applicant(s):

松下電器産業株式会社

2003年 2月21日

特許庁長官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3009837

【書類名】 特許願
 【整理番号】 5037540141
 【あて先】 特許庁長官殿
 【国際特許分類】 H01L 21/28
 H01L 21/3205

【発明者】

【住所又は居所】 大阪府門真市大字門真1006番地
 松下電器産業株式会社内
 【氏名】 神代 昌彦

【発明者】

【住所又は居所】 大阪府門真市大字門真1006番地
 松下電器産業株式会社内
 【氏名】 向井 清士

【発明者】

【住所又は居所】 大阪府門真市大字門真1006番地
 松下電器産業株式会社内
 【氏名】 柴田 英則

【発明者】

【住所又は居所】 大阪府門真市大字門真1006番地
 松下電器産業株式会社内

【氏名】 辻川 洋行

【特許出願人】

【識別番号】 000005821
 【氏名又は名称】 松下電器産業株式会社

【代理人】

【識別番号】 100076174
 【弁理士】
 【氏名又は名称】 宮井 嘆夫

【選任した代理人】

【識別番号】 100105979

【弁理士】

【氏名又は名称】 伊藤 誠

【手数料の表示】

【予納台帳番号】 010814

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0212624

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置のレイアウト検証方法

【特許請求の範囲】

【請求項1】 チップレイアウト上の配線で発生する形成不良を検証する半導体装置のレイアウト検証方法であって、前記配線上のコンタクトホールのレイアウトと前記配線のレイアウトとの関係から配線形成不良箇所を検出することを特徴とする半導体装置のレイアウト検証方法。

【請求項2】 配線形成不良箇所を検出した配線のレイアウトを修正する請求項1記載の半導体装置のレイアウト検証方法。

【請求項3】 チップレイアウト上の配線で発生する形成不良を検証する半導体装置のレイアウト検証方法であって、チップレイアウト上で同一ノード配線の総面積と同一ノード配線上のコンタクトホールの総面積との面積比を制限し、この制限に基づいて良否判定することにより配線形成不良箇所を検出することを特徴とする半導体装置のレイアウト検証方法。

【請求項4】 チップレイアウト上の配線で発生する形成不良を検証する半導体装置のレイアウト検証方法であって、同一ノード配線上のコンタクトホールの個数を制限し、この個数制限に基づいて良否判定することにより配線形成不良箇所を検出することを特徴とする半導体装置のレイアウト検証方法。

【請求項5】 チップレイアウト上の配線で発生する形成不良を検証する半導体装置のレイアウト検証方法であって、一定幅の配線上のコンタクトホールの個数を制限し、この個数制限に基づいて良否判定することにより配線形成不良箇所を検出することを特徴とする半導体装置のレイアウト検証方法。

【請求項6】 チップレイアウト上の配線で発生する形成不良を検証する半導体装置のレイアウト検証方法であって、一定幅の配線上のコンタクトホールの総面積を制限し、この面積制限に基づいて良否判定することにより配線形成不良箇所を検出することを特徴とする半導体装置のレイアウト検証方法。

【請求項7】 チップレイアウト上の配線で発生する形成不良を検証する半導体装置のレイアウト検証方法であって、同一ノード配線の総面積と同一ノード配線上のコンタクトホールの総面積を計算する工程と、前記同一ノード配線の総

面積に応じて前記コンタクトホールの面積制限値を決定する工程とを含み、前記コンタクトホールの総面積が前記面積制限値以上のとき配線形成不良箇所として検出することを特徴とする半導体装置のレイアウト検証方法。

【請求項8】 チップレイアウト上の配線で発生する形成不良を検証する半導体装置のレイアウト検証方法であって、同一ノード配線の総面積と同一ノード配線上のコンタクトホールの個数を計算する工程と、前記同一ノード配線の総面積に応じて前記コンタクトホールの個数制限値を決定する工程とを含み、前記コンタクトホールの個数が前記個数制限値以上のとき配線形成不良箇所として検出することを特徴とする半導体装置のレイアウト検証方法。

【請求項9】 チップレイアウト上の配線で発生する形成不良を検証する半導体装置のレイアウト検証方法であって、一定幅の配線上のコンタクトホールの個数を計算する工程と、配線幅に応じて変化する前記コンタクトホールの個数制限値を決定する工程とを含み、前記コンタクトホールの個数が前記個数制限値以上のとき配線形成不良箇所として検出することを特徴とする半導体装置のレイアウト検証方法。

【請求項10】 チップレイアウト上の配線で発生する形成不良を検証する半導体装置のレイアウト検証方法であって、一定幅の配線上のコンタクトホールの総面積を計算する工程と、配線幅に応じて変化する前記コンタクトホールの面積制限値を決定する工程とを含み、前記コンタクトホールの総面積が前記面積制限値以上のとき配線形成不良箇所として検出することを特徴とする半導体装置のレイアウト検証方法。

【請求項11】 チップレイアウト上の配線で形成不良の発生を検証する半導体装置のレイアウト検証方法であって、チップレイアウト全面を複数の検証領域に分割する工程と、前記検証領域で一定幅の配線上のコンタクトホールの個数を制限し、この個数制限に基づいて良否判定することにより配線形成不良箇所を検出する工程と、前記検証領域がチップレイアウト上の全面を走査する工程とを含む半導体装置のレイアウト検証方法。

【請求項12】 チップレイアウトのチップ全面を検証する全面検証とチップの一部を検証する一部検証とで、検証領域の走査間隔が変動する請求項11記

載の半導体装置のレイアウト検証方法。

【請求項13】 チップレイアウトのチップ全面を検証する全面検証とチップの一部を検証する一部検証とで、検証領域の大きさが変動する請求項11記載の半導体装置のレイアウト検証方法。

【請求項14】 チップレイアウト上で接続するコンタクトホールが一定の数に満たない配線を予め除いた上で、一定幅の配線上のコンタクトホールの個数を制限する請求項5記載の半導体装置のレイアウト検証方法。

【請求項15】 複数の検証領域のうちコンタクトホールの個数が一定以上となる検証領域に限定して、一定幅の配線上のコンタクトホールの個数を制限する請求項11記載の半導体装置のレイアウト検証方法。

【請求項16】 チップレイアウト上の配線で形成不良の発生を検証する半導体装置のレイアウト検証方法であって、チップレイアウト全面を複数の検証領域に分割する工程と、前記検証領域でアンテナチェックを用いて同一ノード配線の総面積と同一ノード配線上のコンタクトホールの総面積との面積比を制限し、この制限に基づいて良否判定することにより配線形成不良箇所を検出する工程と、前記検証領域がチップレイアウト上の全面を走査する工程とを含む半導体装置のレイアウト検証方法。

【請求項17】 チップレイアウト上の配線で形成不良の発生を検証する半導体装置のレイアウト検証方法であって、チップレイアウト上に一部検証領域を定義する工程と、前記一部検証領域でアンテナチェックを用いて同一ノード配線の総面積と同一ノード配線上のコンタクトホールの総面積との面積比を制限し、この制限に基づいて良否判定することにより配線形成不良箇所を検出する工程と、前記一部検証領域がデンシティチェックを用いてチップレイアウト上の全面を走査する工程とを含む半導体装置のレイアウト検証方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、特に配線形成不良を対策する半導体装置のレイアウト検証方法に関する。

【0002】

【従来の技術】

薄膜化された絶縁膜で覆われた大面積配線においてヒロックの発生を防止し、半導体製造時に発生する配線不良を防止するため、従来は下記のような対策を行ってきた。

【0003】

特許文献1に示すように、半導体基盤上に絶縁膜を介して形成された大面積配線を有する半導体装置において配線の幅、長さをヒロックが発生しない臨界寸法以下に分割し、分割したそれぞれの配線は別の配線によって電気的に接続される。接続する配線は分割した配線と組みあわせてもヒロックが発生しないようずらして配置する。

【0004】

【特許文献1】

特開平8-115914号公報

【0005】

【発明が解決しようとする課題】

従来の半導体製造では大面積配線上のコンタクトホールが高密度の場合にヒロックによる配線隆起とアッシングや洗浄工程でのコンタクトホールと配線の接続部欠損により、上層のCVD膜堆積時の熱で大面積配線部での断線、配線破壊、表面剥離が発生していた。

【0006】

したがって、この発明の目的は、配線不良発生箇所である大面積配線上のコンタクトホール高密度部をチップレベルで発見することができる半導体装置のレイアウト検証方法を提供することである。

【0007】

【課題を解決するための手段】

上記目的を達成するためにこの発明の請求項1記載の半導体装置のレイアウト検証方法は、チップレイアウト上の配線で発生する形成不良を検証する半導体装置のレイアウト検証方法であって、前記配線上のコンタクトホールのレイアウト

と前記配線のレイアウトとの関係から配線形成不良箇所を検出する。

【0008】

このように、配線上のコンタクトホールのレイアウトと配線のレイアウトとの関係から配線形成不良箇所を検出するので、大面積配線上のコンタクトホールが高密度の場合に、ヒロックの発生を防止し、半導体製造時に発生する配線不良を防止することができる。

【0009】

請求項2記載の半導体装置のレイアウト検証方法は、請求項1記載の半導体装置のレイアウト検証方法において、配線形成不良箇所を検出した配線のレイアウトを修正する。このように、配線形成不良箇所を検出した配線のレイアウトを修正するので、幅広配線上ヒロックによる配線の剥離不良を低減することができる

【0010】

請求項3記載の半導体装置のレイアウト検証方法は、チップレイアウト上の配線で発生する形成不良を検証する半導体装置のレイアウト検証方法であって、チップレイアウト上で同一ノード配線の総面積と同一ノード配線上のコンタクトホールの総面積との面積比を制限し、この制限に基づいて良否判定することにより配線形成不良箇所を検出する。

【0011】

このように、チップレイアウト上で同一ノード配線の総面積と同一ノード配線上のコンタクトホールの総面積との面積比を制限し、この制限に基づいて良否判定することにより配線形成不良箇所を検出するので、レイアウト設計段階で面積比制限を超える不良箇所を検出することにより、ヒロックや配線とコンタクトホールとの接続不良による大面積配線の断線、配線破壊、表面剥離などの形成不良を回避できる。

【0012】

請求項4記載の半導体装置のレイアウト検証方法は、チップレイアウト上の配線で発生する形成不良を検証する半導体装置のレイアウト検証方法であって、同一ノード配線上のコンタクトホールの個数を制限し、この個数制限に基づいて良

否判定することにより配線形成不良箇所を検出する。

【0013】

このように、同一ノード配線上のコンタクトホールの個数を制限し、この個数制限に基づいて良否判定することにより配線形成不良箇所を検出するので、レイアウト設計段階で個数制限を超える不良箇所を検出することにより、ヒロックや配線とコンタクトホールとの接続不良による大面積配線の断線、配線破壊、表面剥離などの形成不良を回避できる。

【0014】

請求項5記載の半導体装置のレイアウト検証方法は、チップレイアウト上の配線で発生する形成不良を検証する半導体装置のレイアウト検証方法であって、一定幅の配線上のコンタクトホールの個数を制限し、この個数制限に基づいて良否判定することにより配線形成不良箇所を検出する。

【0015】

このように、一定幅の配線上のコンタクトホールの個数を制限し、この個数制限に基づいて良否判定することにより配線形成不良箇所を検出するので、レイアウト設計段階で個数制限を超える不良箇所を検出することにより、ヒロックや配線とコンタクトホールとの接続不良による大面積配線の断線、配線破壊、表面剥離などの形成不良を回避できる。

【0016】

請求項6記載の半導体装置のレイアウト検証方法は、チップレイアウト上の配線で発生する形成不良を検証する半導体装置のレイアウト検証方法であって、一定幅の配線上のコンタクトホールの総面積を制限し、この面積制限に基づいて良否判定することにより配線形成不良箇所を検出する。

【0017】

このように、一定幅の配線上のコンタクトホールの総面積を制限し、この面積制限に基づいて良否判定することにより配線形成不良箇所を検出するので、レイアウト設計段階で面積制限を超える不良箇所を検出することにより、ヒロックや配線とコンタクトホールとの接続不良による大面積配線の断線、配線破壊、表面剥離などの形成不良を回避できる。

【0018】

請求項7記載の半導体装置のレイアウト検証方法は、チップレイアウト上の配線で発生する形成不良を検証する半導体装置のレイアウト検証方法であって、同一ノード配線の総面積と同一ノード配線上のコンタクトホールの総面積を計算する工程と、前記同一ノード配線の総面積に応じて前記コンタクトホールの面積制限値を決定する工程とを含み、前記コンタクトホールの総面積が前記面積制限値以上のとき配線形成不良箇所として検出する。

【0019】

このように、同一ノード配線の総面積と同一ノード配線上のコンタクトホールの総面積を計算する工程と、同一ノード配線の総面積に応じてコンタクトホールの面積制限値を決定する工程とを含み、コンタクトホールの総面積が面積制限値以上のとき配線形成不良箇所として検出するので、同一ノード配線の総面積に応じてコンタクトホール総面積の制限が変化することで、請求項3と同様の作用効果が得られるとともに、配線の幅／面積に応じて制限値を高精度に微調整できる。

【0020】

請求項8記載の半導体装置のレイアウト検証方法は、チップレイアウト上の配線で発生する形成不良を検証する半導体装置のレイアウト検証方法であって、同一ノード配線の総面積と同一ノード配線上のコンタクトホールの個数を計算する工程と、前記同一ノード配線の総面積に応じて前記コンタクトホールの個数制限値を決定する工程とを含み、前記コンタクトホールの個数が前記個数制限値以上のとき配線形成不良箇所として検出する。

【0021】

このように、同一ノード配線の総面積と同一ノード配線上のコンタクトホールの個数を計算する工程と、同一ノード配線の総面積に応じて前記コンタクトホールの個数制限値を決定する工程とを含み、コンタクトホールの個数が個数制限値以上のとき配線形成不良箇所として検出するので、同一ノード配線の総面積に応じてコンタクトホールの個数制限が変化することで、請求項4と同様の作用効果が得られるとともに、配線の幅／面積に応じて制限値を高精度に微調整できる。

【0022】

請求項9記載の半導体装置のレイアウト検証方法は、チップレイアウト上の配線で発生する形成不良を検証する半導体装置のレイアウト検証方法であって、一定幅の配線上のコンタクトホールの個数を計算する工程と、配線幅に応じて前記コンタクトホールの個数制限値を決定する工程とを含み、前記コンタクトホールの個数が前記個数制限値以上のとき配線形成不良箇所として検出する。

【0023】

このように、一定幅の配線上のコンタクトホールの個数を計算する工程と、配線幅に応じてコンタクトホールの個数制限値を決定する工程とを含み、コンタクトホールの個数が個数制限値以上のとき配線形成不良箇所として検出するので、配線幅に応じてコンタクトホールの個数制限が変化することで、請求項5と同様の作用効果が得られるとともに、コンタクトの面積／個数に応じて制限値を高精度に微調整できる。

【0024】

請求項10記載の半導体装置のレイアウト検証方法は、チップレイアウト上の配線で発生する形成不良を検証する半導体装置のレイアウト検証方法であって、一定幅の配線上のコンタクトホールの総面積を計算する工程と、配線幅に応じて前記コンタクトホールの面積制限値を決定する工程とを含み、前記コンタクトホールの総面積が前記面積制限値以上のとき配線形成不良箇所として検出する。

【0025】

このように、一定幅の配線上のコンタクトホールの総面積を計算する工程と、配線幅に応じてコンタクトホールの面積制限値を決定する工程とを含み、コンタクトホールの総面積が面積制限値以上のとき配線形成不良箇所として検出するので、配線幅に応じてコンタクトホールの面積制限が変化することで、請求項6と同様の作用効果が得られるとともに、コンタクトの面積／個数に応じて制限値を高精度に微調整できる。

【0026】

請求項11記載の半導体装置のレイアウト検証方法は、チップレイアウト上の配線で形成不良の発生を検証する半導体装置のレイアウト検証方法であって、チ

ップレイアウト全面を複数の検証領域に分割する工程と、前記検証領域で一定幅の配線上のコンタクトホールの個数を制限し、この個数制限に基づいて良否判定することにより配線形成不良箇所を検出する工程と、前記検証領域がチップレイアウト上の全面を走査する工程とを含む。

【0027】

このように、チップレイアウト全面を複数の検証領域に分割する工程と、検証領域で一定幅の配線上のコンタクトホールの個数を制限し、この個数制限に基づいて良否判定することにより配線形成不良箇所を検出する工程と、検証領域がチップレイアウト上の全面を走査する工程とを含むので、検証領域内で請求項5と同様の検証を行い、検証領域が全面を走査することでレイアウト全面の検証が完了する。チップ全面を領域分割することでチップ全面に比べ局的にコンタクトの密集した部分を検出し形成不良を回避できる。

【0028】

請求項12記載の半導体装置のレイアウト検証方法は、請求項11記載の半導体装置のレイアウト検証方法において、チップレイアウトのチップ全面を検証する全面検証とチップの一部を検証する一部検証とで、検証領域の走査間隔が変動する。

【0029】

このように、チップレイアウトのチップ全面を検証する全面検証とチップの一部を検証する一部検証とで、検証領域の走査間隔が変動するので、チップ全面検証は処理TATを優先、一部検証は詳細な検証を優先というように目的に応じて走査間隔を使い分けることができる。

【0030】

請求項13記載の半導体装置のレイアウト検証方法は、請求項11記載の半導体装置のレイアウト検証方法において、チップレイアウトのチップ全面を検証する全面検証とチップの一部を検証する一部検証とで、検証領域の大きさが変動する。

【0031】

このように、チップ全面検証は処理TATを優先、一部検証は詳細な検証を優

先というように目的に応じて検証領域の大きさを使い分けることができる。

【0032】

請求項14記載の半導体装置のレイアウト検証方法は、請求項5記載の半導体装置のレイアウト検証方法において、チップレイアウト上で接続するコンタクトホールが一定の数に満たない配線を予め除いた上で、一定幅の配線上のコンタクトホールの個数を制限する。

【0033】

このように、チップレイアウト上で接続するコンタクトホールが一定の数に満たない配線を予め除いた上で、一定幅の配線上のコンタクトホールの個数を制限するので、不良が発生する可能性がある配線上の最低限のコンタクトホール個数を定義してコンタクトホールの個数によって検証する必要がない配線を削除し、請求項5と同様にコンタクトホールの個数制限を実施することで、処理TATを短縮することができる。

【0034】

請求項15記載の半導体装置のレイアウト検証方法は、請求項11記載の半導体装置のレイアウト検証方法において、複数の検証領域のうちコンタクトホールの個数が一定以上となる検証領域に限定して、一定幅の配線上のコンタクトホールの個数を制限する。

【0035】

このように、複数の検証領域のうちコンタクトホールの個数が一定以上となる検証領域に限定して、一定幅の配線上のコンタクトホールの個数を制限するので、コンタクトホールの個数によって検証する必要がない検証領域を選択しないで、請求項11と同様にコンタクトホールの個数制限を実施することで、処理TATを短縮することができる。

【0036】

請求項16記載の半導体装置のレイアウト検証方法は、チップレイアウト上の配線で形成不良の発生を検証する半導体装置のレイアウト検証方法であって、チップレイアウト全面を複数の検証領域に分割する工程と、前記検証領域でアンテナチェックを用いて同一ノード配線の総面積と同一ノード配線上のコンタクトホ

ールの総面積との面積比を制限し、この制限に基づいて良否判定することにより配線形成不良箇所を検出する工程と、前記検証領域がチップレイアウト上の全面を走査する工程とを含む。

【0037】

このように、チップレイアウト全面を複数の検証領域に分割する工程と、検証領域でアンテナチェックを用いて同一ノード配線の総面積と同一ノード配線上のコンタクトホールの総面積との面積比を制限し、この制限に基づいて良否判定することにより配線形成不良箇所を検出する工程と、検証領域がチップレイアウト上の全面を走査する工程とを含むので、検証領域内で請求項3と同様の検証を行い、検証領域が全面を走査することでレイアウト全面の検証が完了する。このため、ヒロックや配線とコンタクトホールとの接続不良による大面積配線の断線、配線破壊、表面剥離などの形成不良を回避できる。また、アンテナチェックは通常ゲートとゲートに接続するコンタクトの比率を計算するが、ゲートの代わりに配線を用いることでこの検証に適用できる。

【0038】

請求項17記載の半導体装置のレイアウト検証方法は、チップレイアウト上の配線で形成不良の発生を検証する半導体装置のレイアウト検証方法であって、チップレイアウト上に一部検証領域を定義する工程と、前記一部検証領域でアンテナチェックを用いて同一ノード配線の総面積と同一ノード配線上のコンタクトホールの総面積との面積比を制限し、この制限に基づいて良否判定することにより配線形成不良箇所を検出する工程と、前記一部検証領域がデンシティチェックを用いてチップレイアウト上の全面を走査する工程とを含む。

【0039】

このように、チップレイアウト上に一部検証領域を定義する工程と、一部検証領域でアンテナチェックを用いて同一ノード配線の総面積と同一ノード配線上のコンタクトホールの総面積との面積比を制限し、この制限に基づいて良否判定することにより配線形成不良箇所を検出する工程と、一部検証領域がデンシティチェックを用いてチップレイアウト上の全面を走査する工程とを含むので、一部検証領域内で請求項3と同様の検証を行い、一部検証領域が全面を走査することで

レイアウト全面の検証が完了する。このため、ヒロックや配線とコンタクトホールとの接続不良による大面積配線の断線、配線破壊、表面剥離などの形成不良を回避できる。また、アンテナチェックは通常ゲートとゲートに接続するコンタクトの比率を計算するが、ゲートの代わりに配線を用いることでこの検証に適用できる。

【0040】

【発明の実施の形態】

この発明の第1の実施の形態を図1～図4に基づいて説明する。図1はこの発明の実施の形態に適用される半導体レイアウト上の配線とコンタクトホール層を示すレイアウト図である。

【0041】

図1において、11はチップの最外周、12は配線層、13はコンタクトホール層のそれぞれレイアウトである。

【0042】

図3はこの発明の第1の実施の形態の検証アルゴリズムを示すフローチャート、図4はこの発明の第1の実施の形態の検証プロセスを示す説明図である。以下フローチャートに沿って検証手順を説明する。

【0043】

この半導体装置のレイアウト検証方法は、チップレイアウト上の大面積配線で発生する形成不良を検証する際、チップレイアウト上で同一ノード配線の総面積と同一ノード配線上のコンタクトホールの総面積との面積比を制限し、この制限に基づいて良否判定することにより配線形成不良箇所を検出する。

【0044】

この場合、図4(a)～(c)に示すように、レイアウト上に最小配線間隔W四方サイズの領域19を定義し、前記領域19がレイアウトの配線14に重なる配線15を選択する。領域19が最小線幅であるため選択された配線15は必ず同一ノードとなる。重ならない場合、前記領域19をレイアウト内で重ならないようW分移動し、次の領域を選択し配線層に重なるかを判定する。レイアウト全面を走査完了か、次の同一ノード配線が見つかるまで判定を繰り返す(ステップ

1 A)。

【0045】

選択した同一ノードの配線15を面積計算する（ステップ1B）。コンタクトホール17を有する配線15とコンタクトホール18を有する配線16は別ノードである（図4（d））。ステップ1Aで選択した配線15に重なるコンタクトホール17を選択する（ステップ1C）。ステップ1Cで選択したコンタクトホール17の総面積を計算する（ステップ1D）。ステップ1Bで計算した同一ノード配線15面積とステップDで計算したコンタクトホール17の総面積から面積比を算出する（ステップ1E）。このときコンタクトホール17と18は別ノードの配線上なので別々に面積比を算出する。ステップ1Eの面積比が制限値以上となる場合、配線形成不良が発生するエラー箇所として検出する（ステップ1F）。

【0046】

次に入力レイアウトからステップ1Aで選択した配線を削除する（ステップ1G）。ステップ1Gにより一度選択した同一ノード配線は入力レイアウトから削除し、二度選択されることはなくなるため高速なCAD処理が実施できる。ステップ1Aで選択した領域19が入力レイアウト全面を走査したかを判定（ステップ1H）。走査していない領域19が存在する場合ステップ1Aに戻って繰り返す。全面走査で検証終了。

【0047】

図2はこの発明の第1の実施の形態の検証時のデータの流れを示すデータフローである。以下データフローについて説明する。

【0048】

図2に示すように、同一ノード配線認識ステップ1aは最小線幅領域19を定義し、入力したレイアウトデータ14の配線データ15との重なる領域が存在した場合、配線データ15を同一ノードとして選択し出力する。コンタクト認識ステップ1bは選択された配線データ15とレイアウトデータ14を入力として配線データ15に重なるレイアウトデータ中のコンタクトホールデータ17を選択し出力する。面積計算ステップ1cは選択した同一ノード配線データ15と選択

したコンタクトホール17を入力してそれぞれの総面積を計算する。面積比計算ステップ1dはステップ1cで計算した同一ノード配線とコンタクトホールの面積から面積比を計算して出力する。

【0049】

エラー判定ステップ1eは面積比とエラー条件を比較して面積比が条件に満たない場合にエラーとして選択した配線15とコンタクトホール17を出力する。レイアウトデータ更新ステップ1fはレイアウトデータ14と配線データ15を入力し、入力レイアウトデータ14からステップ1aで選択した配線データ15を差し引いたレイアウトを出力し、次に検証する配線の入力レイアウトデータとする。

【0050】

以上により入力レイアウト上で配線形成不良が発生する箇所を検出できる。

【0051】

この発明の第2の実施の形態を図5～図7に基づいて説明する。

【0052】

図6はこの発明の第2の実施の形態の検証アルゴリズムを示すフローチャート、図7はこの発明の第2の実施の形態の検証プロセスを示す説明図である。以下フローチャートに沿って検証手順を説明する。

【0053】

この半導体装置のレイアウト検証方法は、チップレイアウト上の大面積配線で発生する形成不良を検証する際、同一ノード配線上のコンタクトホールの個数を制限し、この個数制限に基づいて良否判定することにより配線形成不良箇所を検出する。

【0054】

この場合、図7(a)～(c)に示すように、レイアウト上に最小配線間隔W2四方サイズの領域26を定義し、前記領域26がレイアウトの配線21に重なる配線22を選択する。領域26が最小線幅であるため選択された配線22は同一ノードとなる。重ならない場合、前記領域26をレイアウト内で重ならないようW2分移動し、次の領域を選択し配線層に重なるかを判定する。レイアウト

全面を走査完了か、次の同一ノード配線が見つかるまで判定を繰り返す（ステップ2A）。選択した同一ノード配線22の面積を計算する（ステップ2B）。計算した同一ノード配線22に重なるコンタクトホール24を選択する（ステップ2C）。このとき、コンタクトホール24を有する配線22とコンタクトホール25を有する配線23は別ノードである（図7（d））。ステップ2Cで選択したコンタクトホール24の個数を計算する（ステップ2D）。ステップ2Dで計算したコンタクトホール24の個数が同一ノード配線22の面積によって予め定められた制限値以上となる場合、配線形成不良が発生するエラー箇所として検出する（ステップ2E）。

【0055】

次に入力レイアウトからステップ2Aで選択した配線を削除する（ステップ2F）。ステップ2Fにより一度選択した同一ノード配線は入力レイアウトから削除し、二度選択されることはなくなるため高速なCAD処理が実施できる。ステップ2Aで選択した領域26が入力レイアウト全面を走査したかを判定（ステップ2G）。走査していない領域26が存在する場合、ステップ2Aに戻って繰り返す。全面走査で検証終了。

【0056】

図5はこの発明の第2の実施の形態の検証時のデータの流れを示すデータフローである。以下データフローについて説明する。

【0057】

図5に示すように、同一ノード配線認識ステップ2aは最小線幅領域26を選択し、入力したレイアウトデータ21の配線データ22との重なる領域が存在した場合、配線データ22を同一ノードとして選択し出力する。面積計算ステップ2bは選択された配線データ22を入力し、面積を計算して計算値を出力する。コンタクト認識ステップ2cは入力レイアウトデータとステップ2aで出力した配線データ22を入力として配線データ22に重なる入力レイアウトデータ21中のコンタクトホール24を選択し出力する。コンタクト個数カウントステップ2dではステップ2cで出力されたコンタクトホール24の個数を計算し出力する。

【0058】

エラー判定ステップ2eではステップ2bで出力された同一ノード配線22の面積とステップ2dで出力されたコンタクトホール24の個数を入力し、面積に対するコンタクトホール個数が条件を満たしてなければエラーとして選択した配線22とコンタクトホール24を出力する。レイアウトデータ更新ステップ2fはレイアウトデータ21と配線データ22を入力し、入力レイアウトデータの配線層から選択配線データ22を差し引いたレイアウトを出力し、次に検証する配線の入力レイアウトデータとする。

【0059】

以上により入力レイアウト上で配線形成不良が発生する箇所を検出できる。

【0060】

この発明の第3の実施の形態を図8～図10に基づいて説明する。

【0061】

図9はこの発明の第3の実施の形態の検証アルゴリズムを示すフローチャート、図10はこの発明の第3の実施の形態の検証プロセスを示す説明図である。以下フローチャートに沿って検証手順を説明する。

【0062】

この半導体装置のレイアウト検証方法は、チップレイアウト上の大面積配線で発生する形成不良を検証する際、一定幅の配線上のコンタクトホールの個数を制限し、この個数制限に基づいて良否判定することにより配線形成不良箇所を検出する。

【0063】

この場合、図10(a)、(b)に示すように、レイアウト31上で予め配線形成不良の可能性があると考えられる配線幅L以上の配線32を選択する(ステップ3A)。ステップ3Aで選択した配線32に重なるコンタクトホール33を選択する(ステップ3B)。図10(c)、(d)に示すように、ステップ3Bで選択したコンタクトホールの個数を計算する(ステップ3C)。配線幅Lに依存して設定した個数制限(例:4個以上)によりエラーレイアウト34を検出する(ステップ3D)。

【0064】

図8はこの発明の第3の実施の形態の検証時のデータの流れを示すデータフローである。以下データフローについて説明する。

【0065】

図8に示すように、配線認識ステップ3aは予め配線形成不良の可能性があると考えられる配線幅Lを定義し、入力したレイアウトデータ31から配線幅L以上の配線32を選択し出力する。コンタクト認識ステップ3bはステップ3aで出力された配線データ32と入力レイアウトデータ31を入力し、入力レイアウトデータ31から配線データ32に重なるコンタクトデータ33を選択し出力する。コンタクト個数カウントステップ3cはステップ3bで出力されたコンタクトデータ33を入力としてコンタクトホールの個数を計算し出力する。

【0066】

エラー判定ステップ3dではステップ3cで出力されたコンタクトホール33の個数を入力し配線幅Lに依存して設定した個数制限（例：4個以上）に該当するエラーデータ34を出力する。

【0067】

以上により入力レイアウト上で配線形成不良が発生する箇所を検出できる。

【0068】

この発明の第4の実施の形態を図11～図13に基づいて説明する。

【0069】

図12はこの発明の第4の実施の形態の検証アルゴリズムを示すフローチャート、図13はこの発明の第4の実施の形態の検証プロセスを示す説明図である。以下フローチャートに沿って検証手順を説明する。

【0070】

この半導体装置のレイアウト検証方法は、チップレイアウト上の大面積配線で発生する形成不良を検証する際、一定幅の配線上のコンタクトホールの総面積を制限し、この面積制限に基づいて良否判定することにより配線形成不良箇所を検出する。

【0071】

この場合、図13（a）、（b）に示すように、レイアウト41上で予め配線形成不良の可能性があると考えられる配線幅L2以上の配線42を選択する（ステップ4A）。ステップ4Aで選択した配線42に重なるコンタクトホール43を選択する（ステップ4B）。図13（c）、（d）に示すように、ステップ4Bで選択したコンタクトホールの面積を計算する（ステップ4C）。配線幅L2に依存して設定した面積制限によりエラーレイアウト44を検出する（ステップ4D）。

【0072】

図11はこの発明の第4の実施の形態の検証時のデータの流れを示すデータフローである。以下データフローについて説明する。

【0073】

図11に示すように、配線認識ステップ4aは予め配線形成不良の可能性があると考えられる配線幅L2を定義し、入力したレイアウトデータ41から配線幅L2以上の配線データ42を選択し出力する。コンタクト認識ステップ4bはステップ4aで出力された配線データ42と入力レイアウトデータ41を入力し、入力レイアウトデータ41から配線データ42に重なるコンタクトデータ43を選択し出力する。コンタクト面積計算ステップ4cはステップ4bで出力されたコンタクトデータ43を入力としてコンタクトホールの総面積を計算し出力する

【0074】

エラー判定ステップ4dではステップ4cで出力されたコンタクトホール43の総面積を入力し配線幅L2に依存して設定した面積制限に該当するエラーデータ44を出力する。

【0075】

以上により入力レイアウト上で配線形成不良が発生する箇所を検出できる。

【0076】

この発明の第5の実施の形態を図14～図16に基づいて説明する。

【0077】

図15はこの発明の第5の実施の形態の検証アルゴリズムを示すフローチャー

ト、図16はこの発明の第5の実施の形態の検証プロセスを示す説明図である。以下フローチャートに沿って検証手順を説明する。

【0078】

この半導体装置のレイアウト検証方法は、チップレイアウト上の大面積配線で発生する形成不良を検証する際、同一ノード配線の総面積と同一ノード配線上のコンタクトホールの総面積を計算する工程と、同一ノード配線の総面積に応じて前記コンタクトホールの面積制限値を決定する工程とを含み、コンタクトホールの総面積が面積制限値以上のとき配線形成不良箇所として検出する。

【0079】

この場合、図16(a)～(c)に示すように、レイアウト上に最小線幅W3四方サイズの領域56を定義し、前記領域56がレイアウトの配線51に重なる配線52を選択する。領域56が最小線幅であるため選択された配線52は必ず同一ノードとなる。重ならない場合、前記領域56をレイアウト内で重ならないようW3分移動し、次の領域を選択し配線層に重なるかを判定する。レイアウト全面を走査完了か、次の同一ノード配線が見つかるまで判定を繰り返す(ステップ5A)。選択した同一ノードの配線52を面積計算する(ステップ5B)。コンタクトホールホール54を有する配線52とコンタクトホール55を有する配線53は別ノードである(図16(d))。ステップ5Aで選択した配線52に重なるコンタクトホール54を選択する(ステップ5C)。ステップ5Cで選択したコンタクトホール54の総面積を計算する(ステップ5D)。ステップ5Bで計算した同一ノード配線52から配線面積B(μm^2)の範囲に応じたコンタクト面積制限値X(μm^2)を図16(e)の表57から一意に決定する。決定した制限面積X(μm^2)とステップ5Dで計算したコンタクトホール54の総面積を比較し制限値X(μm^2)以上となる場合、配線形成不良が発生するエラー箇所として検出する(ステップ5E)。

【0080】

次に入力レイアウトからステップ5Aで選択した配線を削除する(ステップ5F)。ステップ5Fにより一度選択した同一ノード配線は入力レイアウトから削除し、二度選択されることはなくなるため高速なCAD処理が実施できる。ステ

ップ5 Aで選択した領域5 6が入力レイアウト全面を走査したかを判定（ステップ5 G）。走査してない領域5 6が存在する場合、ステップ5 Aに戻って繰り返す。全面走査で検証終了。

【0081】

図14はこの発明の第5の実施の形態の検証時のデータの流れを示すデータフローである。以下データフローについて説明する。

【0082】

図14に示すように、同一ノード配線認識ステップ5 aは最小線幅領域5 6を定義し、入力したレイアウトデータ5 1の配線データとの重なる領域が存在した場合、配線データ5 2を同一ノードとして選択し出力する。配線面積計算ステップ5 bはステップ5 aで認識した配線データ5 2を入力し、面積を計算して結果を出力する。コンタクト認識ステップ5 cは選択された配線データ5 2とレイアウトデータ5 1を入力として配線データ5 2に重なるレイアウトデータ内のコンタクトホール5 4を選択し出力する。コンタクト面積計算ステップ5 dは選択したコンタクトホール5 4を入力して総面積を計算する。コンタクト面積決定ステップ5 eは予め配線不良の発生率から規定されたエラー条件表5 7の配線面積B (μm^2)に依存したコンタクト面積制限値X (μm^2)とステップ5 bで出力された配線面積B (μm^2)を入力しコンタクト面積の面積制限値X (μm^2)を一意に決定する。

【0083】

エラー判定ステップ5 fはステップ5 eから出力されたコンタクト面積の制限値X (μm^2)とステップ5 dで計算されたコンタクト面積とを入力して、面積がX (μm^2)以上の場合にエラーとして選択した配線5 2とコンタクトホール5 4を出力する。レイアウトデータ更新ステップ5 gはレイアウトデータ5 1と配線データ5 2を入力し、入力レイアウトデータの配線層から選択配線データ5 2を差し引いたレイアウトを出力し、次に検証する配線の入力レイアウトデータとする。

【0084】

以上により入力レイアウト上で配線形成不良が発生する箇所を検出できる。

【0085】

この発明の第6の実施の形態を図17～図19に基づいて説明する。

【0086】

図18はこの発明の第6の実施の形態の検証アルゴリズムを示すフローチャート、図19はこの発明の第6の実施の形態の検証プロセスを示す説明図である。以下フローチャートに沿って検証手順を説明する。

【0087】

この半導体装置のレイアウト検証方法は、チップレイアウト上の大面積配線で発生する形成不良を検証する際、同一ノード配線の総面積と同一ノード配線上のコンタクトホールの個数を計算する工程と、同一ノード配線の総面積に応じてコンタクトホールの個数制限値を決定する工程とを含み、コンタクトホールの個数が個数制限値以上のとき配線形成不良箇所として検出する。

【0088】

この場合、図19(a)～(c)に示すように、レイアウト上に最小線幅W4四方サイズの領域66を定義し、前記領域66がレイアウトの配線61に重なる配線62を選択する。領域66が最小線幅であるため選択された配線62は必ず同一ノードとなる。重ならない場合、前記領域66をレイアウト内で重ならないようW4分移動し、次の領域を選択し配線層に重なるかを判定する。レイアウト全面を走査完了か、次の同一ノード配線が見つかるまで判定を繰り返す(ステップ6A)。選択した同一ノードの配線62を面積計算する(ステップ6B)。コンタクトホール64を有する配線62とコンタクトホール65を有する配線63は別ノードである(図19(d))。ステップ6Aで選択した配線62に重なるコンタクトホール64を選択する(ステップ6C)。ステップ6Cで選択したコンタクトホール64の個数を計算する(ステップ6D)。ステップ6Bで計算した同一ノード配線62から配線面積B(μm^2)に応じたコンタクト個数制限値C(個)を図19(e)の表67から一意に決定する。決定した制限個数C(個)とステップ6Dで計算したコンタクトホール64の個数を比較しC個以上となる場合、配線形成不良が発生するエラー箇所として検出する(ステップ6E)。

【0089】

次に入力レイアウトからステップ6 Aで選択した配線を削除する（ステップ6 F）。ステップ6 Fにより一度選択した同一ノード配線は入力レイアウトから削除し、二度選択されることはなくなるため高速なCAD処理が実施できる。ステップ6 Aで選択した領域6 6が入力レイアウト全面を走査したかを判定（ステップ6 G）。走査していない領域6 6が存在する場合、ステップ6 Aに戻って繰り返す。全面走査で検証終了。

【0090】

図17はこの発明の第6の実施の形態の検証時のデータの流れを示すデータフローである。以下データフローについて説明する。

【0091】

図17に示すように、同一ノード配線認識ステップ6 aは最小線幅領域6 6を定義し、入力したレイアウトデータ6 1の配線データとの重なる領域が存在した場合、配線データ6 2を同一ノードとして選択し出力する。配線面積計算ステップ6 bはステップ6 aで認識した同一ノード配線データ6 2を入力し、面積を計算して結果を出力する。コンタクト認識ステップ6 cは選択された配線データ6 2とレイアウトデータ6 1を入力として配線データ6 2に重なるレイアウトデータ内のコンタクトホール6 4を選択し出力する。コンタクト個数カウントステップ6 dはステップ6 cで選択したコンタクトホールデータ6 4を入力して個数を計算する。コンタクト個数決定ステップ6 eは予め配線不良の発生率から規定されたエラー条件表6 7とステップ6 bで出力された配線面積B (μm^2)を入力し、配線面積B (μm^2)に依存したコンタクト個数制限値C (個)を決定して出力する。

【0092】

エラー判定ステップ6 fはステップ6 eから出力されたコンタクト個数の制限値C (個)とステップ6 dで計算されたコンタクト個数とを入力して個数がC個以上の場合にエラーとして選択した配線6 2とコンタクトホール6 4を出力する。レイアウトデータ更新ステップ6 gはレイアウトデータ6 1と配線データ6 2を入力し、入力レイアウトデータ6 1の配線層から選択配線データ6 2を差し引いたレイアウトを出力し、検証すべき次の配線の入力レイアウトデータとする。

【0093】

以上により入力レイアウト上で配線形成不良が発生する箇所を検出できる。

【0094】

この発明の第7の実施の形態を図20～図22に基づいて説明する。

【0095】

図21はこの発明の第7の実施の形態の検証アルゴリズムを示すフローチャート、図22はこの発明の第7の実施の形態の検証プロセスを示す説明図である。以下フローチャートに沿って検証手順を説明する。

【0096】

この半導体装置のレイアウト検証方法は、チップレイアウト上の大面積配線で発生する形成不良を検証する際、一定幅の配線上のコンタクトホールの個数を計算する工程と、配線幅に応じてコンタクトホールの個数制限値を決定する工程とを含み、コンタクトホールの個数が個数制限値以上のとき配線形成不良箇所として検出する。

【0097】

この場合、図22(a)、(b)に示すように、レイアウト71上で予め配線形成不良の可能性があると考えられる配線幅L3以上の配線72を選択する(ステップ7A)。ステップ7Aで選択した配線72に重なるコンタクトホール73を選択する(ステップ7B)。ステップ7Bで選択したコンタクトホールの個数を計算する(ステップ7C)。ステップ7Cで計算したコンタクトホール73の個数制限値を図22(e)の表77の配線幅L3の範囲に依存したコンタクト個数制限値C(例: L3=W1の範囲→4個以上)により一意に決定する。図22(c)、(d)に示すように、決定した制限個数4個とステップ7Cで計算したコンタクトホール74の個数を比較し制限値(4個)以上となる場合、配線形成不良が発生するエラー箇所として検出する(ステップ7D)。

【0098】

図20はこの発明の第7の実施の形態の検証時のデータの流れを示すデータフローである。以下データフローについて説明する。

【0099】

図20に示すように、配線認識ステップ7aは予め配線形成不良の可能性があると考えられる配線幅L3を定義し、入力したレイアウトデータ71から配線幅L3以上の配線72を選択し出力する。コンタクト認識ステップ7bはステップ7aで出力された配線データ72と入力レイアウトデータ71を入力し、入力レイアウトデータ71から配線データ72に重なるコンタクトデータ73を選択し出力する。コンタクト個数カウントステップ7cはステップ7bで出力されたコンタクトデータ73を入力として個数を計算し出力する。コンタクト個数決定ステップ7dは予め配線不良の発生率から規定されたエラー条件表77とステップ7aで出力された配線幅L3(μm)を入力し、配線幅L3(μm)に依存したコンタクト個数制限値C(個)を決定して出力する。

【0100】

エラー判定ステップ7eはステップ7dから出力されたコンタクト個数の制限値(例:W1=4個以上)とステップ7cで計算されたコンタクトホール個数73とを入力して比較し、4個以上となる場合にエラーとして選択したコンタクトホール74を出力する。

【0101】

以上により入力レイアウト上で配線形成不良が発生する箇所を検出できる。

【0102】

この発明の第8の実施の形態を図23～図25に基づいて説明する。

【0103】

図24はこの発明の第8の実施の形態の検証アルゴリズムを示すフローチャート、図25はこの発明の第8の実施の形態の検証プロセスを示す説明図である。以下フローチャートに沿って検証手順を説明する。

【0104】

この半導体装置のレイアウト検証方法は、チップレイアウト上の大面積配線で発生する形成不良を検証するであって、一定幅の配線上のコンタクトホールの総面積を計算する工程と、配線幅に応じてコンタクトホールの面積制限値を決定する工程とを含み、コンタクトホールの総面積が面積制限値以上のとき配線形成不良箇所として検出する。

【0105】

この場合、図25(a), (b)に示すように、レイアウト81上で予め配線形成不良の可能性があると考えられる配線幅L4以上の配線82を選択する(ステップ8A)。ステップ8Aで選択した配線82に重なるコンタクトホール83を選択する(ステップ8B)。ステップ8Bで選択したコンタクトホールの総面積を計算する(ステップ8C)。ステップ8Cで計算したコンタクトホールの面積制限値を図25(e)の表87の配線幅L4の範囲に依存したコンタクト面積制限値X(例:W1の範囲→面積 $1\mu m^2$ 以上)により一意に決定する。図25(c), (d)に示すように、決定した制限面積X(μm^2)とステップ8Cで計算したコンタクトホール84の面積を比較しX(μm^2)以上となる場合、配線形成不良が発生するエラー箇所として検出する(ステップ8D)。

【0106】

図23はこの発明の第8の実施の形態の検証時のデータの流れを示すデータフローである。以下データフローについて説明する。

【0107】

図23に示すように、配線認識ステップ8aは、レイアウト81上で予め配線形成不良の可能性があると考えられる配線幅L4以上の配線82を選択し出力する。コンタクト認識ステップ8bはステップ8aで出力された配線データ82と入力レイアウトデータ81を入力し、入力レイアウトデータ81から配線データ82に重なるコンタクトデータ83を選択し出力する。コンタクト面積計算ステップ8cはステップ8bで出力されたコンタクトデータ83を入力としてコンタクトホール83の総面積を計算し出力する。コンタクト面積決定ステップ8dは予め配線不良の発生率から規定されたエラー条件表87とステップ8aで出力された配線幅L4(μm)を入力し、配線幅L4(μm)に依存したコンタクトホール総面積X(μm^2)を一意に決定して出力する。

【0108】

エラー判定ステップ8eはステップ8dから出力されたコンタクト総面積の制限値(例:W1=1 μm^2 以上)とステップ8cで計算されたコンタクトホール総面積とを入力して比較し、面積が1 μm^2 以上の場合にエラーとして選択した

コンタクトホール84を出力する。

【0109】

以上により入力レイアウト上で配線形成不良が発生する箇所を検出できる。

【0110】

この発明の第9の実施の形態を図26～図30に基づいて説明する。

【0111】

図28はこの発明の第9の実施の形態において一括してコンタクトホールの個数を検査する領域を示す説明図である。実線で示す領域96が検証するチップ全面、点線で示す領域95は予め決めた検査領域幅A四方と縦方向、横方向に等間隔Sで配置した検査間隔を表す。91～94は検査領域の移動状態を示す。図29は図28の検査間隔を拡大して配線レイアウト98との関係を示したものである。

【0112】

図27はこの発明の第9の実施の形態の検証アルゴリズムを示すフローチャートである。以下フローチャートに沿って検証手順を説明する。

【0113】

この半導体装置のレイアウト検証方法は、チップレイアウト上の大面积配線で形成不良の発生を検証する際、チップレイアウト全面を複数の検証領域に分割する工程と、検証領域で一定幅の配線上のコンタクトホールの個数を制限し、この個数制限に基づいて良否判定することにより配線形成不良箇所を検出する工程と、検証領域がチップレイアウト上の全面を走査する工程とを含む。

【0114】

この場合、図29に示すように、検証対象の入力レイアウト98において一括検証領域95を定義する。検証領域は幅A四方を縦方向、横方向に等間隔Sで配置する（ステップ9A）。以下検証領域を使ったコンタクトホール個数の制限方法について述べる。

【0115】

前記検証領域95で検証を行い、完了すると検証領域95は検証すべきレイアウト内を移動し再度別領域の検証を行う。検証領域95が全面を走査してレイア

ウト全面の検証が完了となる。以下、検証領域95が移動する一例を挙げて説明する。

【0116】

まず初めにレイアウト全面の左下に合わせて検証領域を選択する(図29(a))。前記領域95での検証が完了すると、次に縦方向92に予め処理するデータ規模によって決めた間隔で検証領域95を移動する(図29(b))。全体の検証領域がチップ全面であるか、1ブロックであるかといった処理するデータ規模によって前記検証領域95の移動量や前記検証領域95の1つの枠の大きさを変化させることでチップ全面検証は処理TAT優先、チップの一部での検証は詳細な検証を優先というように目的に応じて使い分けることができる。92で示した縦方向への移動を初めの位置からS(検証領域の間隔) + A(検証領域の枠の1辺の長さ)移動するまで繰り返す。次に93で示すように横方向にも同様に検証領域がS+A移動するまで繰り返す(図29(c))。最後に94で示した斜め方向にも同様に検証領域が移動するまで繰り返す(図29(d))。三方向完了した時点でレイアウト全面の検証が完了となる(ステップ9B)。

【0117】

次に前記検証領域95とレイアウト98内の配線97の重なる領域99を選択する。図30(a), (b)に示すように、ステップ9Cの結果の配線領域の中から予め配線形成不良の可能性があると考えられる配線幅L5の配線領域88を選択する(ステップ9C)。図30(c)に示すように、ステップ9Cで選択した配線に重なるコンタクトホール89を選択する(ステップ9D)。このときカウントするコンタクトホールが前記検証領域95を跨ぐ場合や外に接する場合(図30(f)に示す符号107)は個数としてカウントしない。前記検証領域95に全て含まれる場合(図30(f)に示す符号106)のみカウント対象とする。選択したコンタクトホール89の個数を計算する(ステップ9E)。図30(d)に示すように、ステップ9Eで計算したコンタクトホール89の個数と予め決められたエラー条件とを比較して制限値以上となる場合、配線形成不良が発生するエラー箇所90として検出する(ステップ9F)。次に前記検証領域95がチップ全面を走査したかを判定する(ステップ9G)。全てを走査してなけれ

ばステップ9B～ステップ9Gを繰り返す。全て走査していれば検証完了となる。

【0118】

図26はこの発明の第9の実施の形態の検証時のデータの流れを示すデータフローである。以下データフローについて説明する。

【0119】

図26に示すように、検証領域選択ステップ9aはレイアウトデータ98を入力し、検証するレイアウト上の一括検証領域95を定義してレイアウトデータ98との重なる配線を選択し特定領域配線データとして出力する。配線認識ステップ9bはステップ9aから出力する特定領域配線データ97から予め定められた幅L5の配線88を選択し、出力する。コンタクト認識ステップ9cはステップ9aから出力される特定領域配線97とステップ9bから出力される配線データ88を入力し、特定領域配線データ97の中で、配線データ88に重なるコンタクトホール89を選択し、出力する。

【0120】

コンタクトカウントステップ9dはステップ9cから出力したコンタクトホール89を入力し、コンタクトホール数を計算する。エラー判定ステップ9eはステップ9dから出力されるコンタクトホール個数と予め決められたエラー条件とを比較し、条件に満たない場合にエラーとして選択したコンタクトホール90を出力する。

【0121】

以上により入力レイアウト上で配線形成不良が発生する箇所を検出できる。

【0122】

この発明の第10の実施の形態を図31～図33に基づいて説明する。

【0123】

図32はこの発明の第10の実施の形態の検証アルゴリズムを示すフローチャート、図33はこの発明の第10の実施の形態の検証プロセスを示す説明図である。以下フローチャートに沿って検証手順を説明する。

【0124】

この半導体装置のレイアウト検証方法は、第3の実施の形態において、チップレイアウト上で接続するコンタクトホールが一定の数に満たない配線を予め除いた上で、一定幅の配線上のコンタクトホールの個数を制限する。

【0125】

この場合、不良が発生する可能性がある配線上の最低限のコンタクトホール個数（例：3個）を定義する。次に図33（a），（b）に示すように、入力レイアウト101から定義したコンタクトホール個数以上の配線102を選択することで検証する必要のない配線を削除しCAD処理TATを短縮する（ステップ10A）。図33（c）に示すようにステップ10Aでフィルタリングしたレイアウト102から予め決めた配線幅L6以上の幅をもつ配線103のみを選択する（ステップ10B）。図33（d）に示すようにフィルタリングしたレイアウト102から選択した配線103に重なるコンタクトホール104を選択する（ステップ10C）。図33（e）に示すように選択したコンタクトホールの個数を計算（ステップ10D）し、予め定められたエラー条件とステップ10Dで計算したコンタクトホール個数を比較して、条件に満たない（3個以上の）コンタクトホール105を出力する。

【0126】

図31はこの発明の第10の実施の形態の検証時のデータの流れを示すデータフローである。以下データフローについて説明する。

【0127】

図31に示すように、配線フィルタリングステップ10aはレイアウトデータを入力し、コンタクトホールの個数によって配線形成不良発生の可能性がない配線を予めレイアウトデータ101から削除したデータ102を出力する。配線認識ステップ10bは予め配線形成不良の可能性があると考えられる配線幅L6を定義し、入力したレイアウトデータ102から配線幅L6以上の配線103を選択し出力する。コンタクト認識ステップ10cはステップ10bから出力された配線データ103とレイアウトデータ102を入力し、レイアウトデータ102から配線データ103に重なるコンタクトデータ104を選択し出力する。

【0128】

コンタクト個数カウントステップ10dはステップ10cで出力されたコンタクトホールデータ104を入力して個数を計算し出力する。エラー判定ステップ10eではステップ10dで出力されたコンタクトホール104の個数を入力し配線幅L6に依存して設定した個数制限（例：4個以上）に該当するエラーデータ105を出力する。

【0129】

以上により入力レイアウト上で配線形成不良が発生する箇所を検出できる。

【0130】

この発明の第11の実施の形態を図34～図39に基づいて説明する。

【0131】

図36はこの発明の第11の実施の形態において一括してコンタクトホールの個数を検査する領域を示す説明図である。実線で示す領域116が検証するチップ全面、点線で示す領域115は予め決めた検査領域幅A2四方と縦方向、横方向に等間隔S2で配置した検査間隔を表す。111～114は検査領域の移動状態を示す。図37は図36の検査間隔を拡大して配線レイアウト118との関係を示したものである。

【0132】

図35はこの発明の第11の実施の形態の検証アルゴリズムを示すフローチャートである。以下フローチャートに沿って検証手順を説明する。

【0133】

この半導体装置のレイアウト検証方法は、第9の実施の形態において、複数の検証領域のうちコンタクトホールの個数が一定以上となる検証領域に限定して、一定幅の配線上のコンタクトホールの個数を制限する。

【0134】

この場合、図37に示すように、検証対象の入力レイアウト118において一括検証領域115を定義する。検証領域は幅A2四方を縦方向、横方向に等間隔S2で配置する（ステップ11A）。以下検証領域を使ったコンタクトホールの制限方法について述べる。

【0135】

前記検証領域115で検証を行い、完了すると検証領域115は検証すべきレイアウト内を移動し再度別領域の検証を行う。検証領域115が全面を走査してレイアウト全面の検証が完了となる。以下、検証領域115が移動する一例を挙げて説明する。

【0136】

まず初めにレイアウト全面の左下に合わせて検証領域を選択する（図37（a））。前記領域115での検証が完了すると、次に縦方向112に予め決めた間隔で検証領域115を移動する（図37（b））。全体の検証領域がチップ全面であるか、1ブロックであるかといった処理するデータ規模によって前記検証領域115の移動量や前記検証領域115の1つの枠の大きさを変化させることでチップ全面検証は処理TAT優先、チップの一部での検証は詳細な検証を優先というように目的に応じて使い分けることができる。112で示した縦方向への移動を初めの位置からS2（検証領域の間隔）+A2（検証領域の枠の1辺の長さ）移動するまで繰り返す。次に113で示すように横方向にも同様に検証領域がS2+A2移動するまで繰り返す（図37（c））。最後に114で示した斜め方向にも同様に検証領域が移動するまで繰り返す（図37（d））。三方向完了した時点でレイアウト全面の検証が完了とする（ステップ11B）。

【0137】

ステップ11Bで選択した領域115をコンタクトホールの個数でフィルタリングする。配線の面積や幅に依存せずコンタクトホールの個数が少なくとも3個以上のとき配線形成不良が発生するのであれば、コンタクトホールが2個以下の領域は検証する必要がないので、図38で示すようにステップ11Bで選択した検証領域115からコンタクトホールが3個以上存在する検証領域120を選択する（ステップ11C）ことで検証処理TATを短縮することができる。

【0138】

次にフィルタリングした前記検証領域120とレイアウト118内の配線117の重なる領域119を選択する（ステップ11C）。図39（a），（b）に示すように、ステップ11Cの結果の配線領域の中から予め決められた幅W以上の配線領域122を選択する（ステップ11D）。図39（c）に示すように、

ステップ11Dで選択した配線に重なるコンタクトホール123を選択する（ステップ11E）。選択したコンタクトホール123の個数を計算する（ステップ11F）。ステップ11Fで計算したコンタクトホール123の個数と予め決められたエラー条件とを比較して制限値以上（図39（d）の符号124）となる場合、配線形成不良が発生するエラー箇所として検出する（ステップ11G）。次に前記検証領域115がチップ全面を走査したかを判定する（ステップ11H）。全てを走査してなければステップ11B～ステップ11Gを繰り返す。全て走査していれば検証完了となる。

【0139】

図34はこの発明の第11の実施の形態の検証時のデータの流れを示すデータフローである。以下データフローについて説明する。

【0140】

図34に示すように、検証領域選択ステップ11aはレイアウトデータ118を入力し、一括検証領域115を選択し出力する。ステップ11bは前記検証領域115とレイアウトデータ118を入力して検証領域115からコンタクトホールが3個以上となる検証領域120と配線117との重なり部分を特定領域配線データ119として出力する。配線認識ステップ11cはステップ11bから出力する特定領域配線データから予め定められた幅Wの配線122を選択し、出力する。コンタクト認識ステップ11dはステップ11bから出力される特定検証領域データ119とステップ11cから出力される配線データ122を入力し、検証配線データ119の中で、配線119に重なるコンタクトホール123を選択し、出力する。

【0141】

コンタクトカウントステップ11eはステップ11dから出力したコンタクトホール123を入力し、コンタクトホール数を計算する。エラー判定ステップ11fはステップ11eから出力されるコンタクトホール個数と予め決められたエラー条件とを比較し、条件に満たない場合にエラーとして選択したコンタクトホール124を出力する。

【0142】

以上により入力レイアウト上で配線形成不良が発生する箇所を検出できる。

【0143】

この発明の第12の実施の形態を図40～図43に基づいて説明する。

【0144】

図42はこの発明の第12の実施の形態において一括してコンタクトホールの個数を検査する領域を示す説明図である。実線で示す領域136が検証するチップ全面、点線で示す領域135は予め決めた検査領域幅A3四方と縦方向、横方向に等間隔S3で配置した検査間隔を表す。131～134は検査領域の移動状態を示す。図43は図42の検査間隔を拡大して配線レイアウト138との関係を示したものである。

【0145】

図41はこの発明の第12の実施の形態の検証アルゴリズムを示すフローチャートである。以下フローチャートに沿って検証手順を説明する。

【0146】

この半導体装置のレイアウト検証方法は、チップレイアウト上の大面积配線で形成不良の発生を検証する際、チップレイアウト全面を複数の検査領域に分割する工程と、検査領域でアンテナチェックを用いて同一ノード配線の総面積と同一ノード配線上のコンタクトホールの総面積との面積比を制限し、この制限に基づいて良否判定することにより配線形成不良箇所を検出する工程と、検査領域がチップレイアウト上の全面を走査する工程とを含む。

【0147】

この場合、図43に示すように、検証対象の入力レイアウト138において一括検査領域135を定義する。検査領域は幅A3四方を縦方向、横方向に等間隔S3で配置する（ステップ13A）。以下検査領域135を使った同一ノード総面積とコンタクトホール総面積との面積比の制限方法について述べる。

【0148】

前記検査領域135で検証を行い、完了すると検査領域135は検証すべきレイアウト内を移動し再度別領域の検証を行う。検査領域135が全面を走査してレイアウト全面の検証が完了となる。以下、検査領域135が移動する一例を挙

げて説明する。

【0149】

まず初めにレイアウト全面の左下に合わせて検証領域を選択する（図42（a））。前記領域135での検証が完了すると、次に縦方向132に予め決めた間隔で検証領域135を移動する（図42（b））。132で示した縦方向への移動を初めの位置からS3（検証領域の間隔）+A3（検証領域の枠の1辺の長さ）移動するまで繰り返す。次に133で示すように横方向にも同様に検証領域がS3+A3移動するまで繰り返す（図42（c））。最後に134で示した斜め方向にも同様に検証領域が移動するまで繰り返す（図42（d））。三方向完了した時点でレイアウト全面の検証が完了とする（ステップ13B）。

【0150】

次に前記検証領域135とレイアウト138内の配線137が重なる配線139を選択する（ステップ13C）。前記検証領域135とレイアウト138内のコンタクトホールが重なるコンタクトホール140を選択する（ステップ13D）。ステップ13Cとステップ13Dで選択した配線139とコンタクトホール140をアンテナチェックに用いて同一ノードの配線の総面積と同一ノード配線上のコンタクトホールの総面積との比率を計算する（ステップ13E）。通常アンテナチェックはゲートとゲートに接続するコンタクトの比率を計算するが、ゲートの代わりに配線139を用いることで配線と配線に接続するコンタクトホールとの比率を求めることが可能である。ステップ13Eで計算した総面積比と予め決められたエラー条件とを比較して制限値以上となる場合、配線形成不良が発生するエラー箇所として検出する（ステップ13F）。次に前記検証領域135がレイアウト全面を走査したかを判定する（ステップ13G）。全てを走査してなければステップ13B～ステップ13Gを繰り返す。全て走査していれば検証完了となる。

【0151】

図40はこの発明の第12の実施の形態の検証時のデータの流れを示すデータフローである。以下データフローについて説明する。

【0152】

図40に示すように、検証領域選択ステップ13aはレイアウトデータ138を入力し、一括検証領域135を選択し出力する。配線認識ステップ13bは前記検証領域135とレイアウトデータ138を入力してレイアウトデータから検証領域135と重なる配線139を選択する。コンタクト認識ステップ13cは前記検証領域135とレイアウトデータ138を入力してレイアウトデータから検証領域135と重なるコンタクト140を選択する。面積比計算ステップ13dはステップ13bで選択した配線139とステップ13cで選択したコンタクトホール140を入力し、ゲートの代わりに配線139を用いてアンテナチェックを行う。

【0153】

エラー判定ステップ13eはステップ13dから出力される面積比と予め決められたエラー条件とを比較し、条件に満たない場合にエラーとして選択した配線139とコンタクトホール140を出力する。

【0154】

以上により入力レイアウト上で配線形成不良が発生する箇所を検出できる。

【0155】

この発明の第13の実施の形態を図44～図46に基づいて説明する。

【0156】

図45はこの発明の第13の実施の形態の検証アルゴリズムを示すフローチャートである。以下フローチャートに沿って検証手順を説明する。

【0157】

この半導体装置のレイアウト検証方法は、チップレイアウト上の大面積配線で形成不良の発生を検証する際、チップレイアウト上に一部検証領域を定義する工程と、一部検証領域でアンテナチェックを用いて同一ノード配線の総面積と同一ノード配線上のコンタクトホールの総面積との面積比を制限し、この制限に基づいて良否判定することにより配線形成不良箇所を検出する工程と、一部検証領域がデンシティチェックを用いてチップレイアウト上の全面を走査する工程とを含む。

【0158】

この場合、図4 6に示すように、検証対象の入力レイアウト142において大きさA4で定義した一部検証領域143で面積比計算を行い、移動ステップS4(<A4)で前記一部検証領域がレイアウト全面を走査して同一ノード配線と配線に接続されるコンタクトホールとの総面積比を制限する方法について述べる。

【0159】

前記一部検証領域143で検証を行い、完了すると一部検証領域143は検証すべきレイアウト内を移動し再度別領域の検証を行う。一部検証領域143が全面を走査してレイアウト全面の検証が完了となる(ステップ14A)。前記一部検証領域143とレイアウト142内の配線141が重なる配線145を選択する(ステップ14B)。前記一部検証領域143とレイアウト142内のコンタクトホールが重なるコンタクトホール146を選択する(ステップ14C)。ステップ14Bとステップ14Cで選択した配線145とコンタクトホール146をアンテナチェックに用いて同一ノードの配線の総面積と同一ノード配線上のコンタクトホールの総面積との比率を計算する(ステップ14D)。通常アンテナチェックはゲートとゲートに接続するコンタクトの比率を計算するが、ゲートの代わりに配線145を用いることで配線と配線に接続するコンタクトホールとの比率を求めることが可能である。ステップ14Dで計算した総面積比と予め決められたエラー条件とを比較して制限値以上となる場合、配線形成不良が発生するエラー箇所として検出する(ステップ14E)。次に前記一部検証領域143がレイアウト全面を走査したかを判定する(ステップ14F)。全てを走査してなければステップ14A～ステップ14Eを繰り返す。全て走査していれば検証完了となる。

【0160】

図4 4はこの発明の第13の実施の形態の検証時のデータの流れを示すデータフローである。以下データフローについて説明する。

【0161】

図4 4に示すように、一部検証領域選択ステップ14aはレイアウトデータ142を入力し、一部検証領域143を選択し出力する。配線認識ステップ14bは前記一部検証領域143とレイアウトデータ142を入力してレイアウトデータ

タから一部検証領域143と重なる配線145を選択する。コンタクト認識ステップ14cは前記一部検証領域143とレイアウトデータ142を入力してレイアウトデータ142から一部検証領域143と重なるコンタクト146を選択する。面積比計算ステップ14dはステップ14bで選択した配線145とステップ14cで選択したコンタクトホール140を入力し、ゲートの代わりに配線145を用いてアンテナチェックを行う。

【0162】

エラー判定ステップ14eはステップ14dから出力される面積比と予め決められたエラー条件とを比較し、条件に満たない場合はエラーとして選択した配線145とコンタクトホール146を出力する。

【0163】

以上により入力レイアウト上で配線形成不良が発生する箇所を検出できる。

【0164】

【発明の効果】

この発明の請求項1記載の半導体装置のレイアウト検証方法によれば、配線上のコンタクトホールのレイアウトと配線のレイアウトとの関係から配線形成不良箇所を検出するので、大面積配線上のコンタクトホールが高密度の場合に、ヒロックの発生を防止し、半導体製造時に発生する配線不良を防止することができる。

【0165】

請求項2では、配線形成不良箇所を検出した配線のレイアウトを修正するので、幅広配線上ヒロックによる配線の剥離不良を低減することができる。

【0166】

この発明の請求項3記載の半導体装置のレイアウト検証方法によれば、チップレイアウト上で同一ノード配線の総面積と同一ノード配線上のコンタクトホールの総面積との面積比を制限し、この制限に基づいて良否判定することにより配線形成不良箇所を検出するので、レイアウト設計段階で面積比制限を超える不良箇所を検出することにより、ヒロックや配線とコンタクトホールとの接続不良による大面積配線の断線、配線破壊、表面剥離などの形成不良を回避できる。

【0167】

この発明の請求項4記載の半導体装置のレイアウト検証方法によれば、同一ノード配線上のコンタクトホールの個数を制限し、この個数制限に基づいて良否判定することにより配線形成不良箇所を検出するので、レイアウト設計段階で個数制限を超える不良箇所を検出することにより、ヒロックや配線とコンタクトホールとの接続不良による大面積配線の断線、配線破壊、表面剥離などの形成不良を回避できる。

【0168】

この発明の請求項5記載の半導体装置のレイアウト検証方法によれば、一定幅の配線上のコンタクトホールの個数を制限し、この個数制限に基づいて良否判定することにより配線形成不良箇所を検出するので、レイアウト設計段階で個数制限を超える不良箇所を検出することにより、ヒロックや配線とコンタクトホールとの接続不良による大面積配線の断線、配線破壊、表面剥離などの形成不良を回避できる。

【0169】

この発明の請求項6記載の半導体装置のレイアウト検証方法によれば、一定幅の配線上のコンタクトホールの総面積を制限し、この面積制限に基づいて良否判定することにより配線形成不良箇所を検出するので、レイアウト設計段階で面積制限を超える不良箇所を検出することにより、ヒロックや配線とコンタクトホールとの接続不良による大面積配線の断線、配線破壊、表面剥離などの形成不良を回避できる。

【0170】

この発明の請求項7記載の半導体装置のレイアウト検証方法によれば、同一ノード配線の総面積と同一ノード配線上のコンタクトホールの総面積を計算する工程と、同一ノード配線の総面積に応じてコンタクトホールの面積制限値を決定する工程とを含み、コンタクトホールの総面積が面積制限値以上のとき配線形成不良箇所として検出するので、同一ノード配線の総面積に応じてコンタクトホール総面積の制限が変化することで、請求項3と同様の作用効果が得られるとともに、配線の幅／面積に応じて制限値を高精度に微調整できる。

【0171】

この発明の請求項8記載の半導体装置のレイアウト検証方法によれば、同一ノード配線の総面積と同一ノード配線上のコンタクトホールの個数を計算する工程と、同一ノード配線の総面積に応じて前記コンタクトホールの個数制限値を決定する工程とを含み、コンタクトホールの個数が個数制限値以上のとき配線形成不良箇所として検出するので、同一ノード配線の総面積に応じてコンタクトホールの個数制限が変化することで、請求項4と同様の作用効果が得られるとともに、配線の幅／面積に応じて制限値を高精度に微調整できる。

【0172】

この発明の請求項9記載の半導体装置のレイアウト検証方法によれば、一定幅の配線上のコンタクトホールの個数を計算する工程と、配線幅に応じてコンタクトホールの個数制限値を決定する工程とを含み、コンタクトホールの個数が個数制限値以上のとき配線形成不良箇所として検出するので、配線幅に応じてコンタクトホールの個数制限が変化することで、請求項5と同様の作用効果が得られるとともに、コンタクトの面積／個数に応じて制限値を高精度に微調整できる。

【0173】

この発明の請求項10記載の半導体装置のレイアウト検証方法によれば、一定幅の配線上のコンタクトホールの総面積を計算する工程と、配線幅に応じてコンタクトホールの面積制限値を決定する工程とを含み、コンタクトホールの総面積が面積制限値以上のとき配線形成不良箇所として検出するので、配線幅に応じてコンタクトホールの面積制限が変化することで、請求項6と同様の作用効果が得られるとともに、コンタクトの面積／個数に応じて制限値を高精度に微調整できる。

【0174】

この発明の請求項11記載の半導体装置のレイアウト検証方法によれば、チップレイアウト全面を複数の検証領域に分割する工程と、検証領域で一定幅の配線上のコンタクトホールの個数を制限し、この個数制限に基づいて良否判定することにより配線形成不良箇所を検出する工程と、検証領域がチップレイアウト上の全面を走査する工程とを含むので、検証領域内で請求項5と同様の検証を行い、

検証領域が全面を走査することでレイアウト全面の検証が完了する。チップ全面を領域分割することでチップ全面に比べ局所的にコンタクトの密集した部分を検出し形成不良を回避できる。

【0175】

請求項12では、チップレイアウトのチップ全面を検証する全面検証とチップの一部を検証する一部検証とで、検証領域の走査間隔が変動するので、チップ全面検証は処理TATを優先、一部検証は詳細な検証を優先というように目的に応じて走査間隔を使い分けることができる。

【0176】

請求項13では、チップ全面検証は処理TATを優先、一部検証は詳細な検証を優先というように目的に応じて検証領域の大きさを使い分けることができる。

【0177】

請求項14では、チップレイアウト上で接続するコンタクトホールが一定の数に満たない配線を予め除いた上で、一定幅の配線上のコンタクトホールの個数を制限するので、不良が発生する可能性がある配線上の最低限のコンタクトホール個数を定義してコンタクトホールの個数によって検証する必要がない配線を削除し、請求項5と同様にコンタクトホールの個数制限を実施することで、処理TATを短縮することができる。

【0178】

請求項15では、複数の検証領域のうちコンタクトホールの個数が一定以上となる検証領域に限定して、一定幅の配線上のコンタクトホールの個数を制限するので、コンタクトホールの個数によって検証する必要がない検証領域を選択しないで、請求項11と同様にコンタクトホールの個数制限を実施することで、処理TATを短縮することができる。

【0179】

この発明の請求項16記載の半導体装置のレイアウト検証方法によれば、チップレイアウト全面を複数の検証領域に分割する工程と、検証領域でアンテナチェックを用いて同一ノード配線の総面積と同一ノード配線上のコンタクトホールの総面積との面積比を制限し、この制限に基づいて良否判定することにより配線形

成不良箇所を検出する工程と、検証領域がチップレイアウト上の全面を走査する工程とを含むので、検証領域内で請求項3と同様の検証を行い、検証領域が全面を走査することでレイアウト全面の検証が完了する。このため、ヒロックや配線とコンタクトホールとの接続不良による大面積配線の断線、配線破壊、表面剥離などの形成不良を回避できる。また、アンテナチェックは通常ゲートとゲートに接続するコンタクトの比率を計算するが、ゲートの代わりに配線を用いることでこの検証に適用できる。

【0180】

この発明の請求項17記載の半導体装置のレイアウト検証方法によれば、チップレイアウト上に一部検証領域を定義する工程と、一部検証領域でアンテナチェックを用いて同一ノード配線の総面積と同一ノード配線上のコンタクトホールの総面積との面積比を制限し、この制限に基づいて良否判定することにより配線形成不良箇所を検出する工程と、一部検証領域がデンシティチェックを用いてチップレイアウト上の全面を走査する工程とを含むので、一部検証領域内で請求項3と同様の検証を行い、一部検証領域が全面を走査することでレイアウト全面の検証が完了する。このため、ヒロックや配線とコンタクトホールとの接続不良による大面積配線の断線、配線破壊、表面剥離などの形成不良を回避できる。また、アンテナチェックは通常ゲートとゲートに接続するコンタクトの比率を計算するが、ゲートの代わりに配線を用いることでこの検証に適用できる。

【図面の簡単な説明】

【図1】

この発明の実施の形態に適用される半導体レイアウト上の配線とコンタクトホール層を示すレイアウト図である。

【図2】

この発明の第1の実施の形態の検証時のデータの流れを示すデータフローである。

【図3】

この発明の第1の実施の形態の検証アルゴリズムを示すフローチャートである

【図4】

この発明の第1の実施の形態の検証プロセスを示す説明図である。

【図5】

この発明の第2の実施の形態の検証時のデータの流れを示すデータフローである。

【図6】

この発明の第2の実施の形態の検証アルゴリズムを示すフローチャートである

【図7】

この発明の第2の実施の形態の検証プロセスを示す説明図である。

【図8】

【図9】

この発明の第3の実施の形態の検証アルゴリズムを示すフローチャートである

【図10】

この発明の第3の実施の形態の検証プロセスを示す説明図である。

【図11】

この発明の第4の実施の形態の検証時のデータの流れを示すデータフローである。

【図12】

この発明の第4の実施の形態の検証アルゴリズムを示すフローチャートである

【図13】

この発明の第4の実施の形態の検証プロセスを示す説明図である。

【図14】

この発明の第5の実施の形態の検証時のデータの流れを示すデータフローである。

【図15】

この発明の第5の実施の形態の検証アルゴリズムを示すフローチャートである

【図16】

この発明の第5の実施の形態の検証プロセスを示す説明図である。

【図17】

この発明の第6の実施の形態の検証時のデータの流れを示すデータフローである。

【図18】

この発明の第6の実施の形態の検証アルゴリズムを示すフローチャートである

【図19】

この発明の第6の実施の形態の検証プロセスを示す説明図である。

【図20】

この発明の第7の実施の形態の検証時のデータの流れを示すデータフローである。

【図21】

この発明の第7の実施の形態の検証アルゴリズムを示すフローチャートである

【図22】

この発明の第7の実施の形態の検証プロセスを示す説明図である。

【図23】

この発明の第8の実施の形態の検証時のデータの流れを示すデータフローである。

【図24】

この発明の第8の実施の形態の検証アルゴリズムを示すフローチャートである

【図25】

この発明の第8の実施の形態の検証プロセスを示す説明図である。

【図26】

この発明の第9の実施の形態の検証時のデータの流れを示すデータフローであ

る。

【図27】

この発明の第9の実施の形態の検証アルゴリズムを示すフローチャートである。

【図28】

この発明の第9の実施の形態において一括してコンタクトホールの個数を検査する領域を示す説明図である。

【図29】

この発明の第9の実施の形態の検証プロセスを示す説明図である。

【図30】

この発明の第9の実施の形態の検証プロセスを示す説明図である。

【図31】

この発明の第10の実施の形態の検証時のデータの流れを示すデータフローである。

【図32】

この発明の第10の実施の形態の検証アルゴリズムを示すフローチャートである。

【図33】

この発明の第10の実施の形態の検証プロセスを示す説明図である。

【図34】

この発明の第11の実施の形態の検証時のデータの流れを示すデータフローである。

【図35】

この発明の第11の実施の形態の検証アルゴリズムを示すフローチャートである。

【図36】

この発明の第11の実施の形態において一括してコンタクトホールの個数を検査する領域を示す説明図である。

【図37】

この発明の第11の実施の形態の検証プロセスを示す説明図である。

【図38】

この発明の第11の実施の形態の検証プロセスを示す説明図である。

【図39】

この発明の第11の実施の形態の検証プロセスを示す説明図である。

【図40】

この発明の第12の実施の形態の検証時のデータの流れを示すデータフローである。

【図41】

この発明の第12の実施の形態の検証アルゴリズムを示すフローチャートである。

【図42】

この発明の第12の実施の形態において一括してコンタクトホールの個数を検査する領域を示す説明図である。

【図43】

この発明の第12の実施の形態の検証プロセスを示す説明図である。

【図44】

この発明の第13の実施の形態の検証時のデータの流れを示すデータフローである。

【図45】

この発明の第13の実施の形態の検証アルゴリズムを示すフローチャートである。

【図46】

この発明の第12の実施の形態の検証プロセスを示す説明図である。

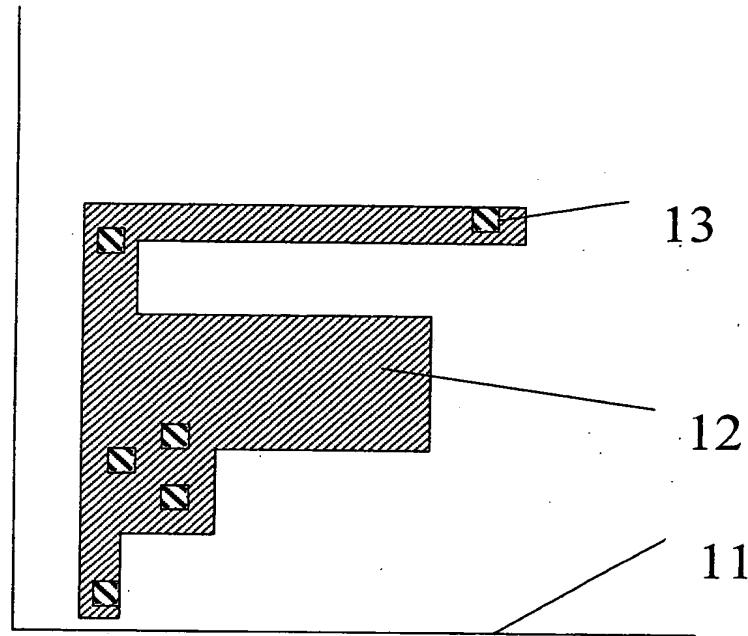
【符号の説明】

- 1 1 検証対象のチップ全面
- 1 2 配線レイアウト
- 1 3 コンタクトホール
- 1 4 チップ内のレイアウトパターン
- 1 5 同一ノード配線レイアウト

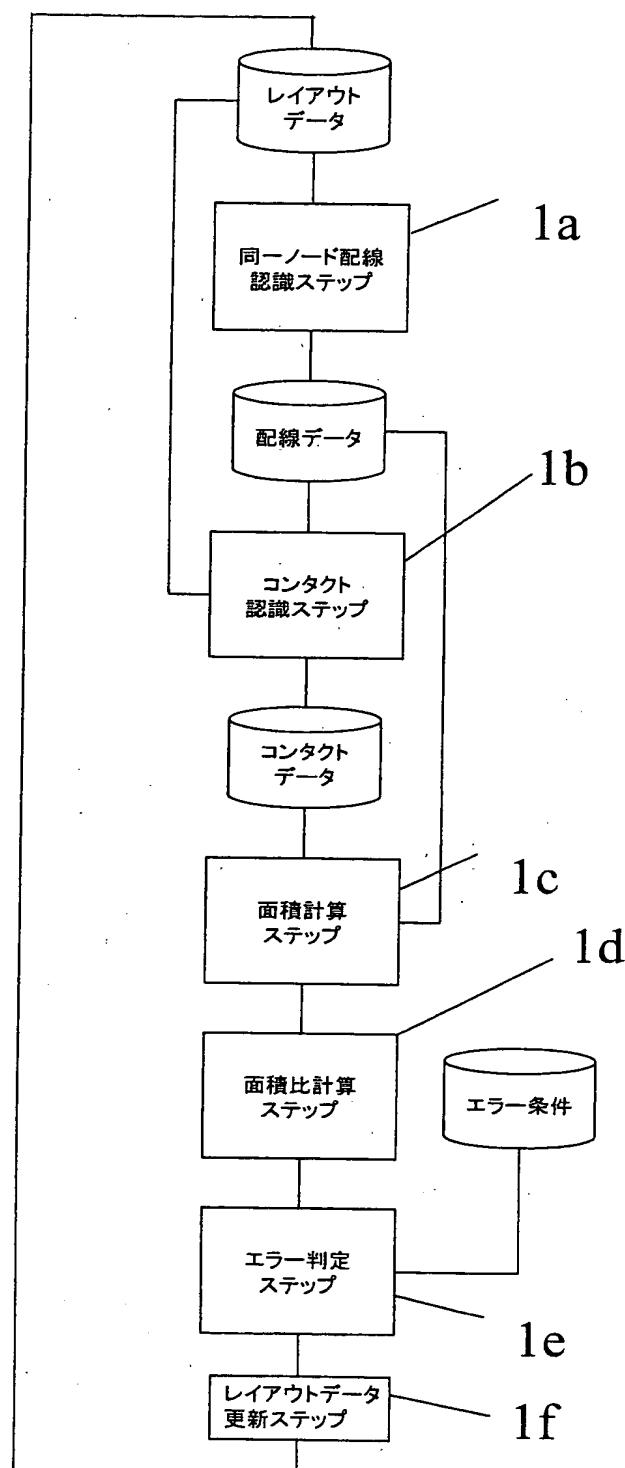
- 1 7 同一ノード配線上のコンタクトホール
- 1 9 配線検出領域
- 1 A 同一ノード配線選択
- 1 B 同一ノード配線面積計算
- 1 C 同一ノード配線上コンタクトホール選択
- 1 D 同一ノード配線上コンタクトホール面積計算
- 1 E 同一ノード配線上の配線面積とコンタクトホール総面積の比率計算
- 1 F エラー判定
- 1 G 入力データ更新
- 1 H 同一ノード配線の検出終了判定
- 1 a 同一ノード配線認識ステップ
- 1 b 同一ノード配線上コンタクトホール認識ステップ
- 1 c 同一ノード配線とコンタクトホールの総面積計算ステップ
- 1 d 面積比計算ステップ
- 1 e エラー判定ステップ

【書類名】 図面

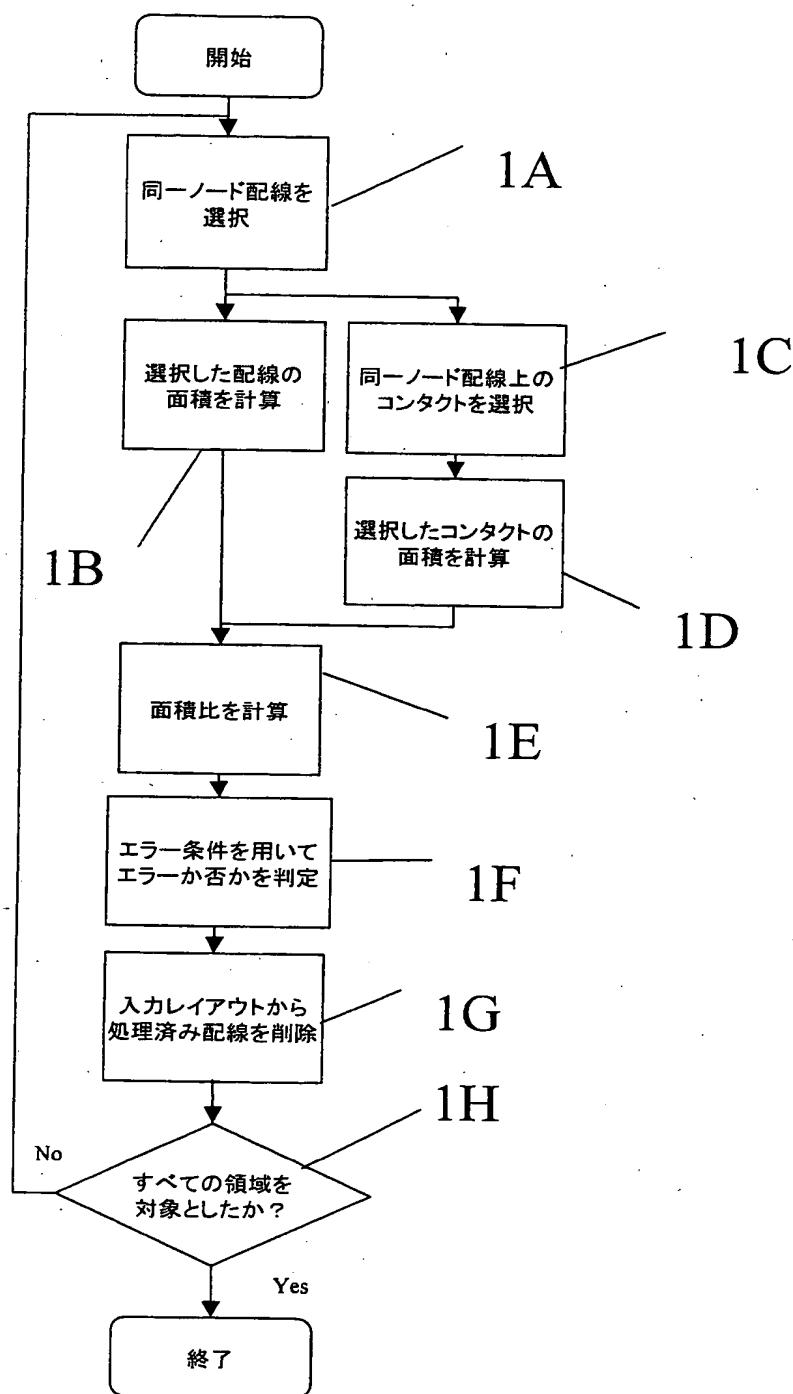
【図1】



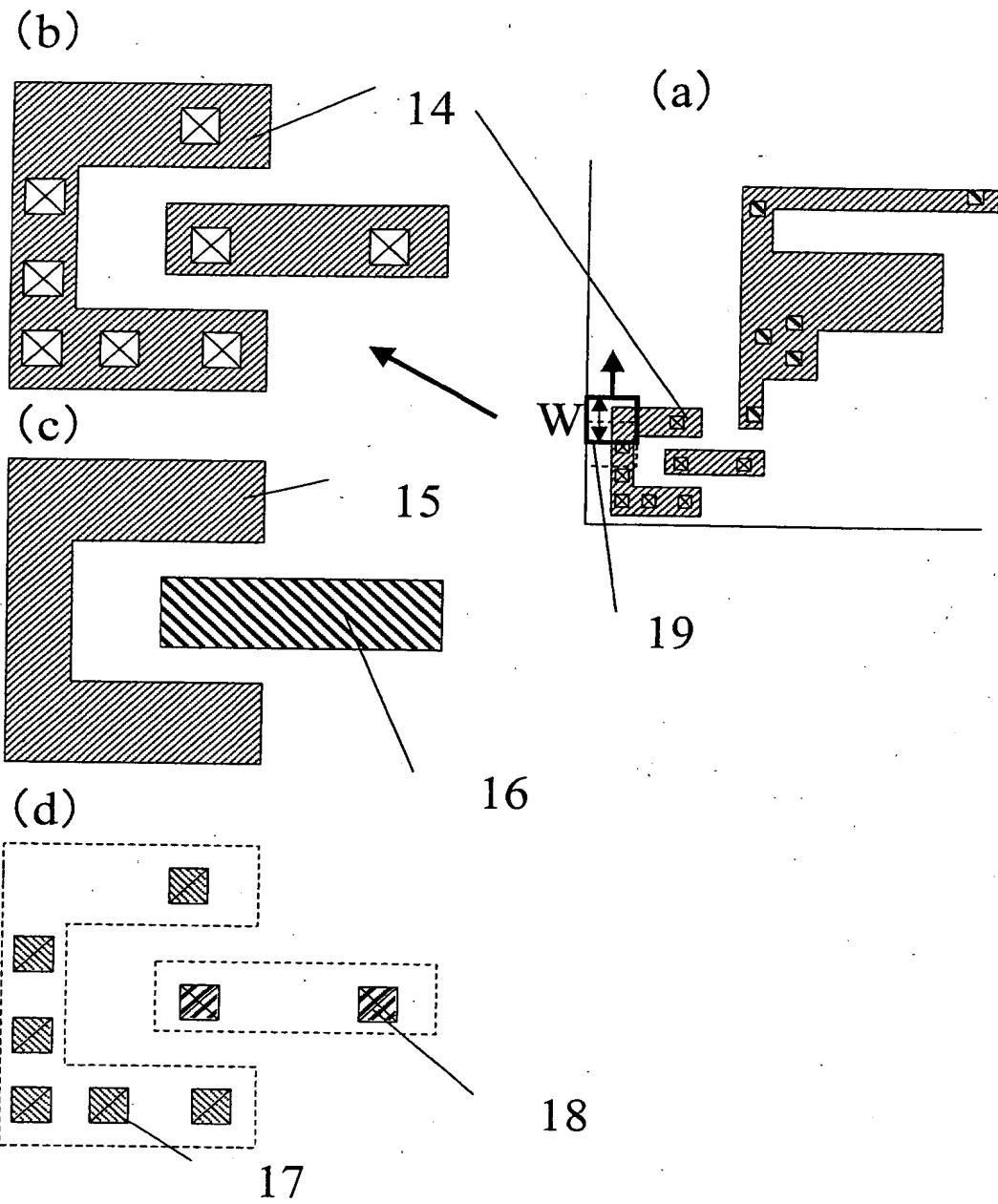
【図2】



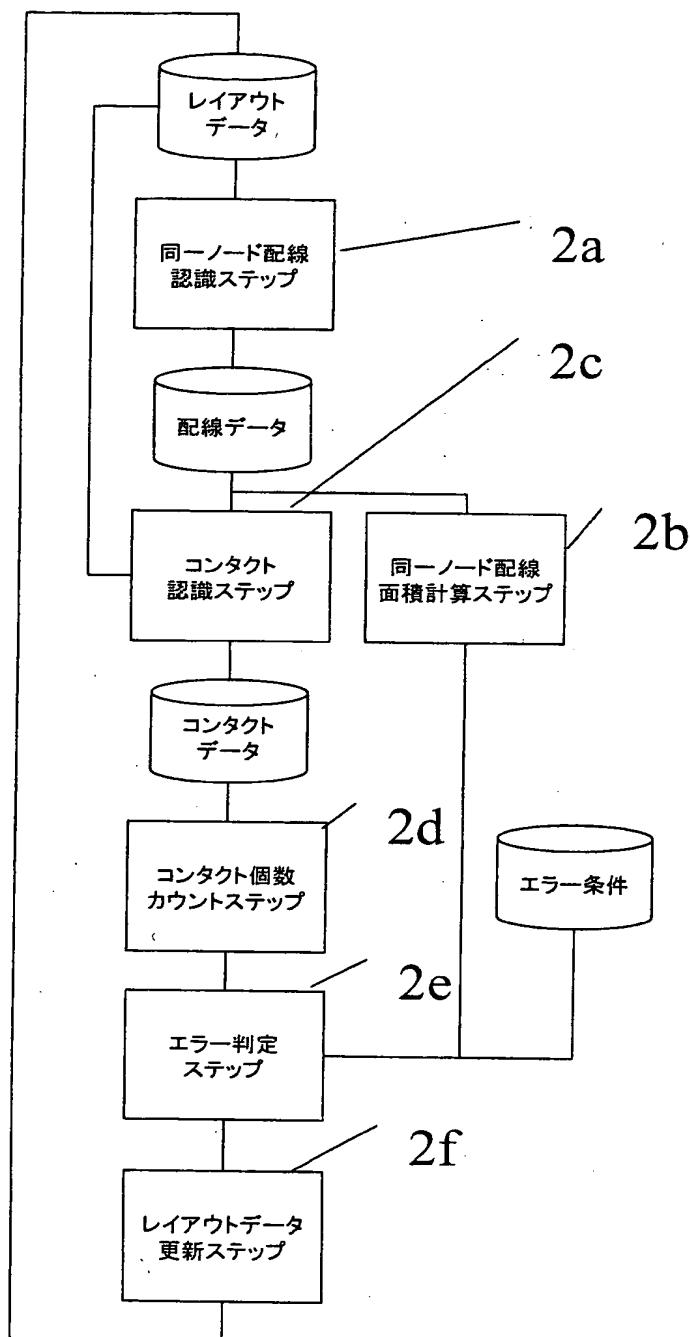
【図3】



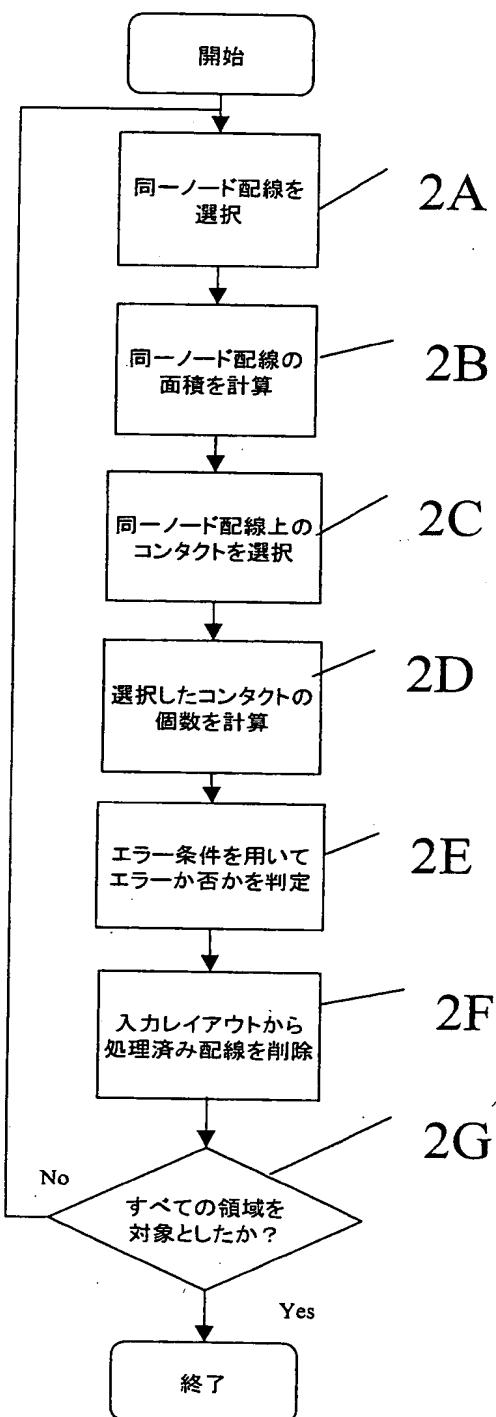
【図4】



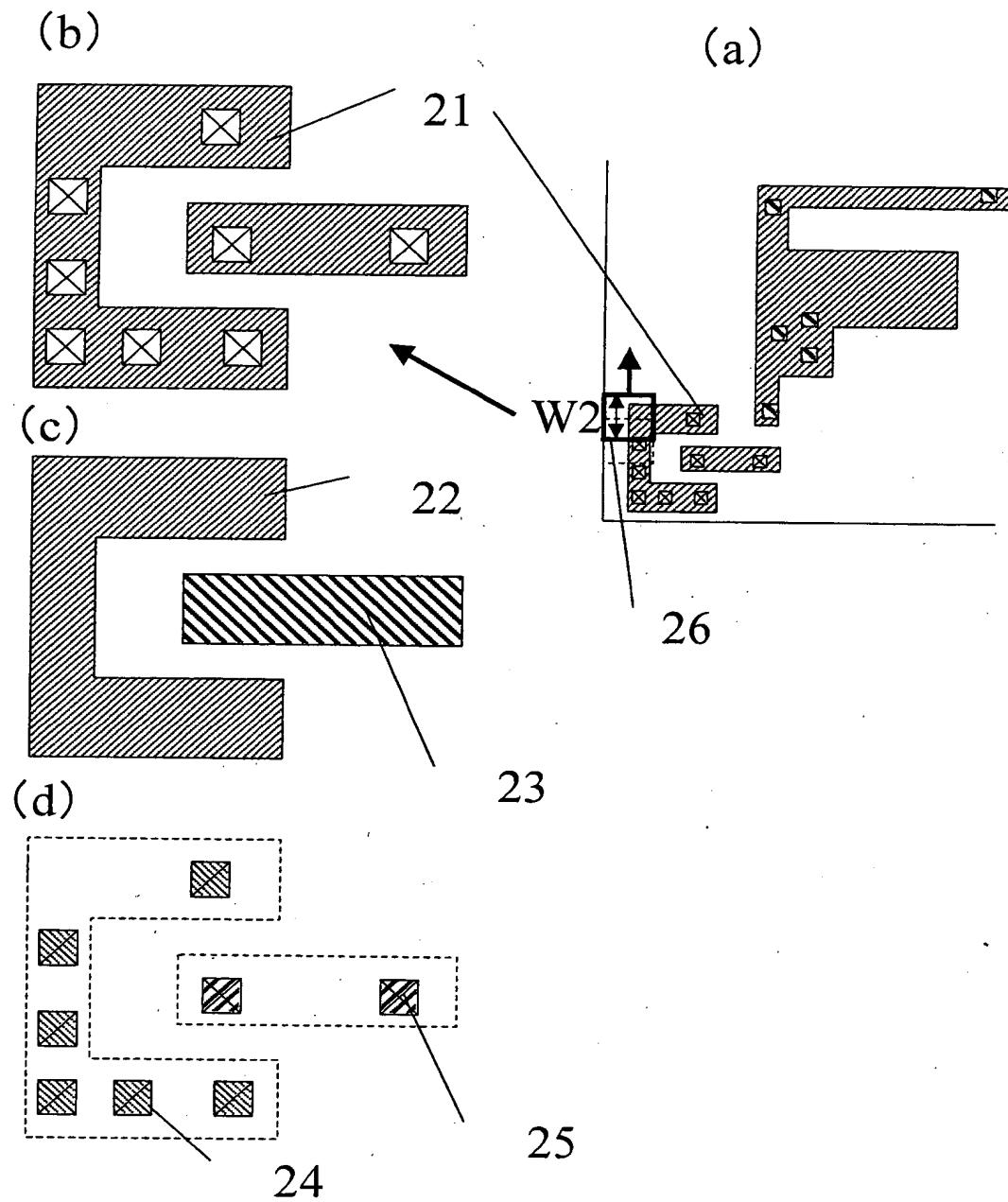
【図5】



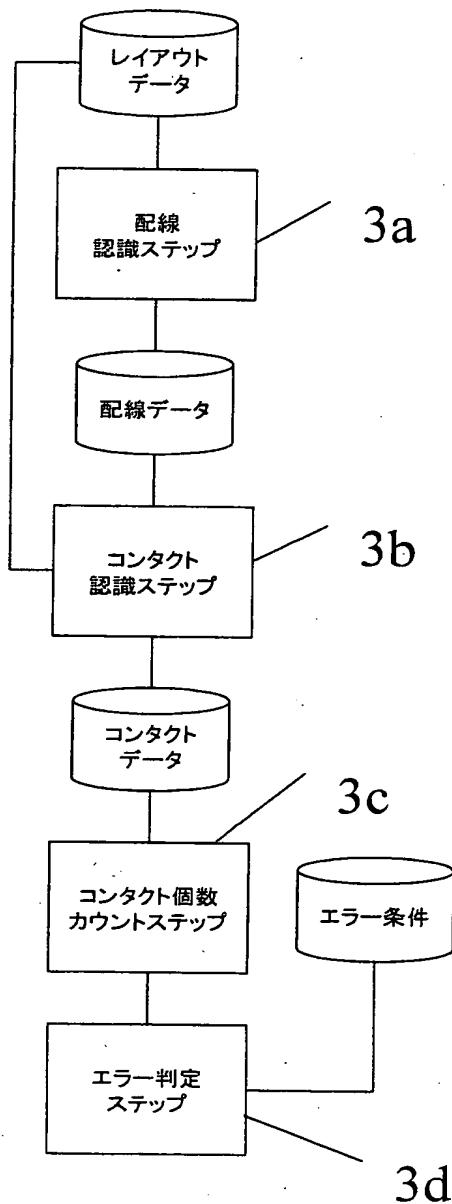
【図6】



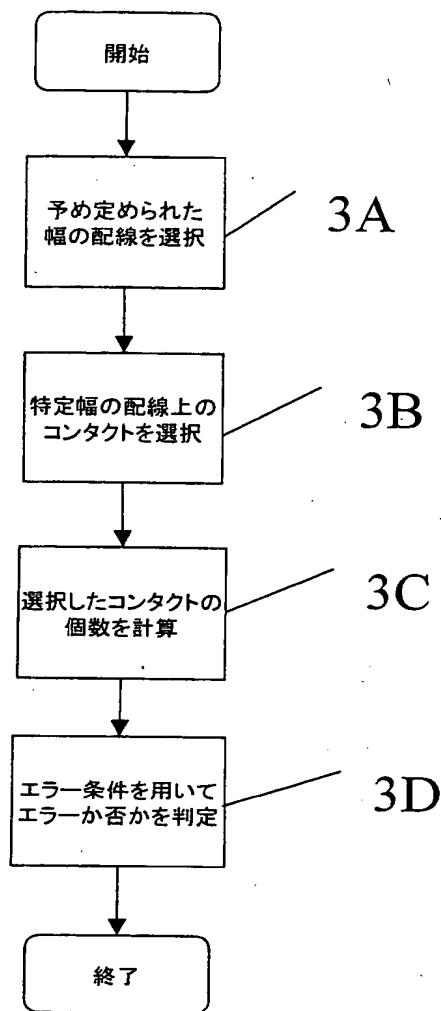
【図7】



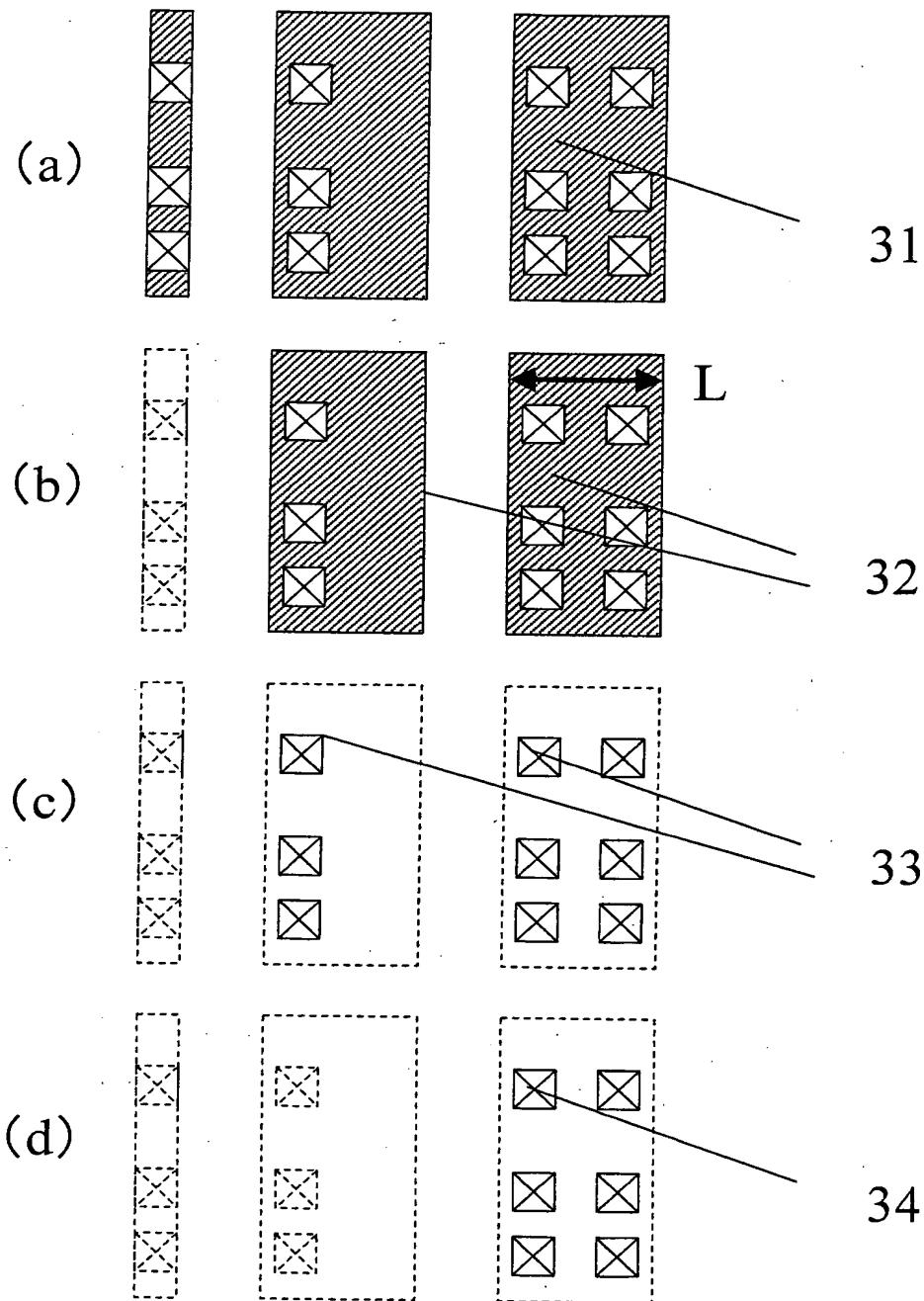
【図8】



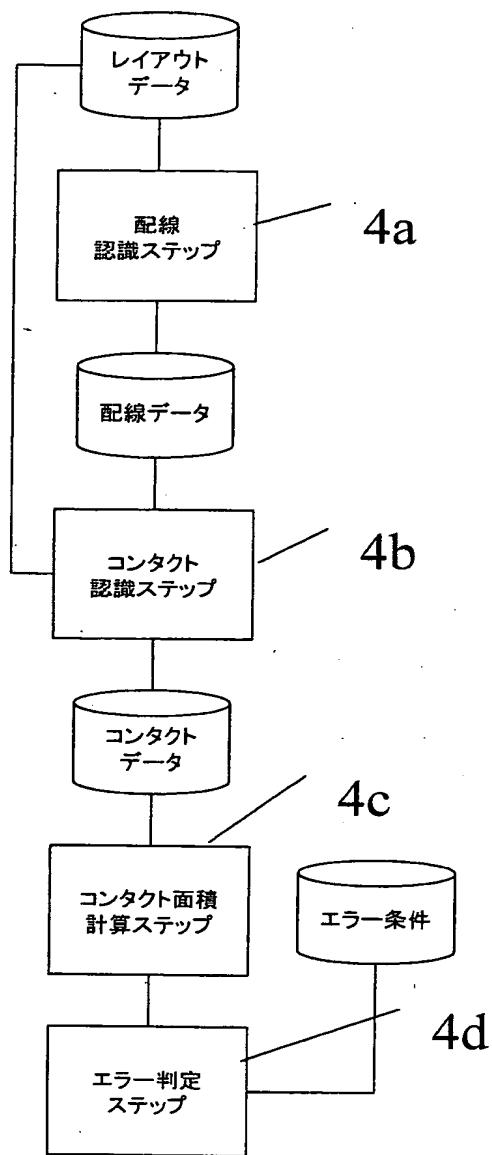
【図9】



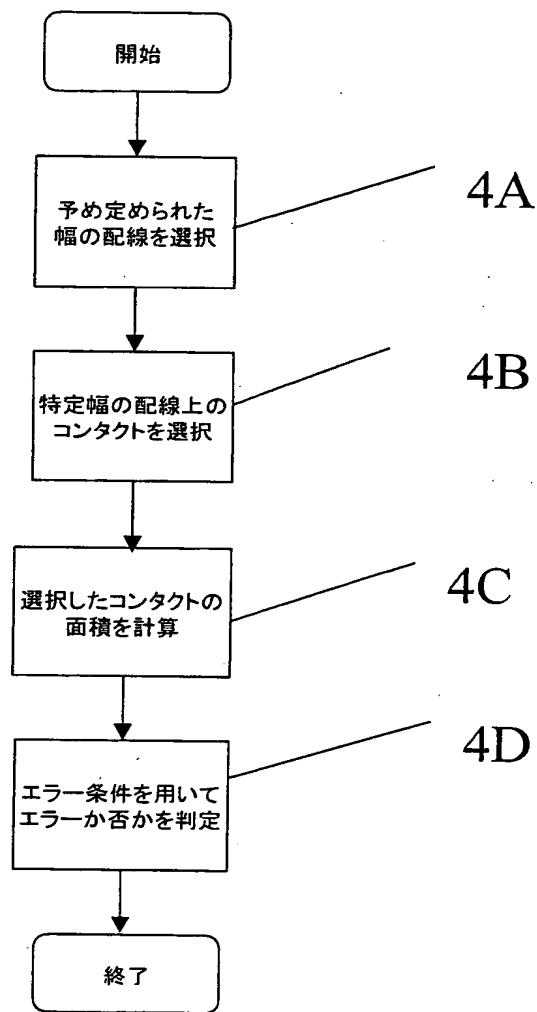
【図10】



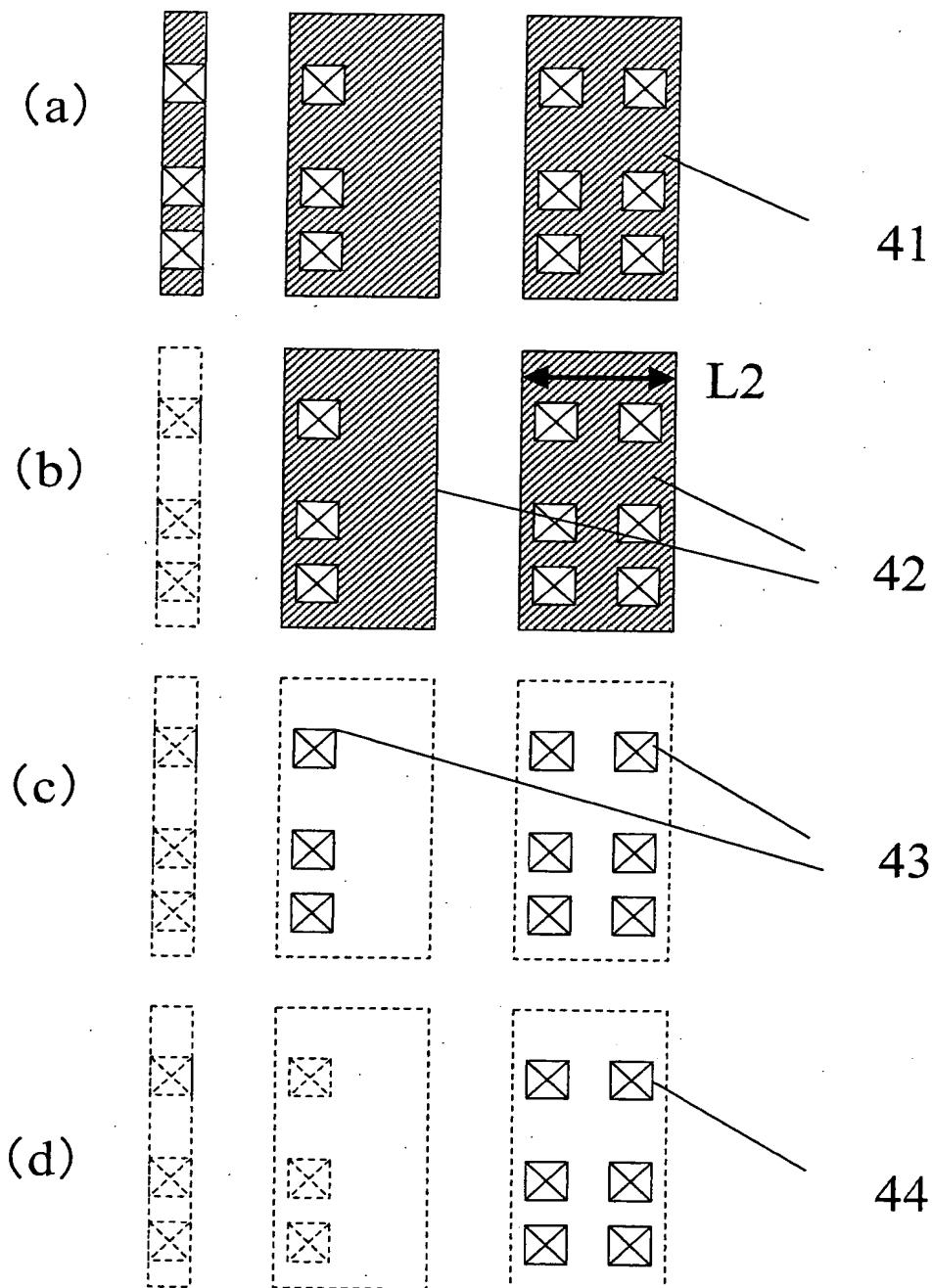
【図11】



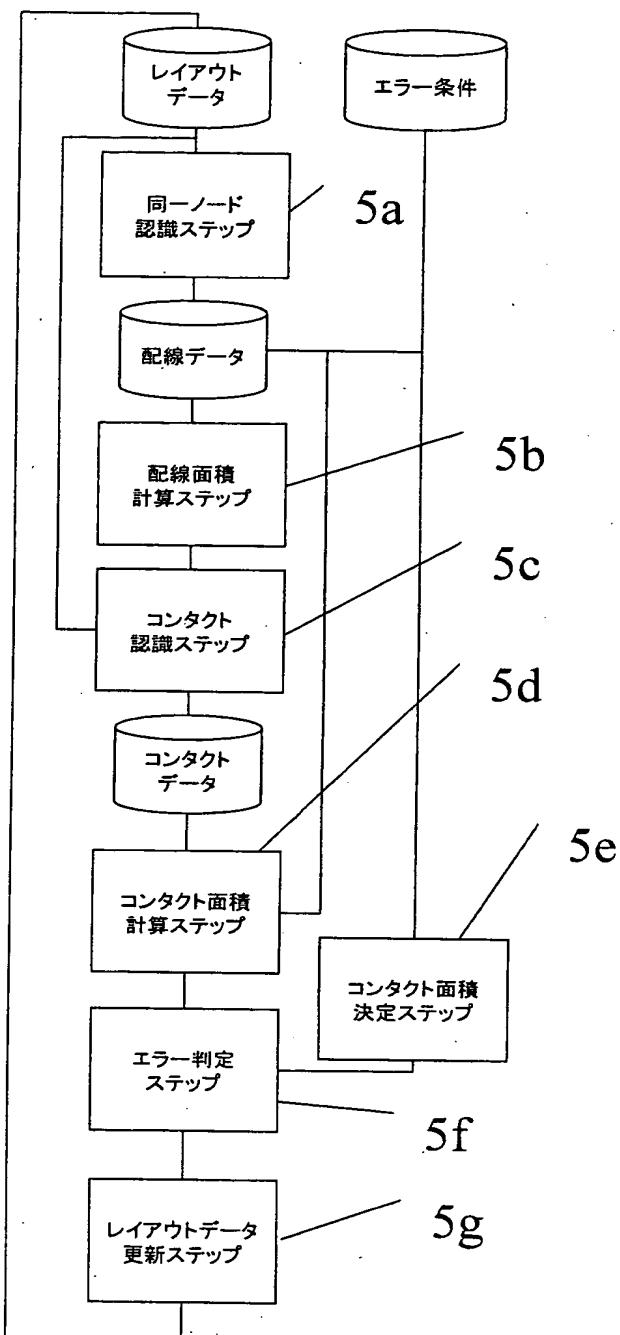
【図12】



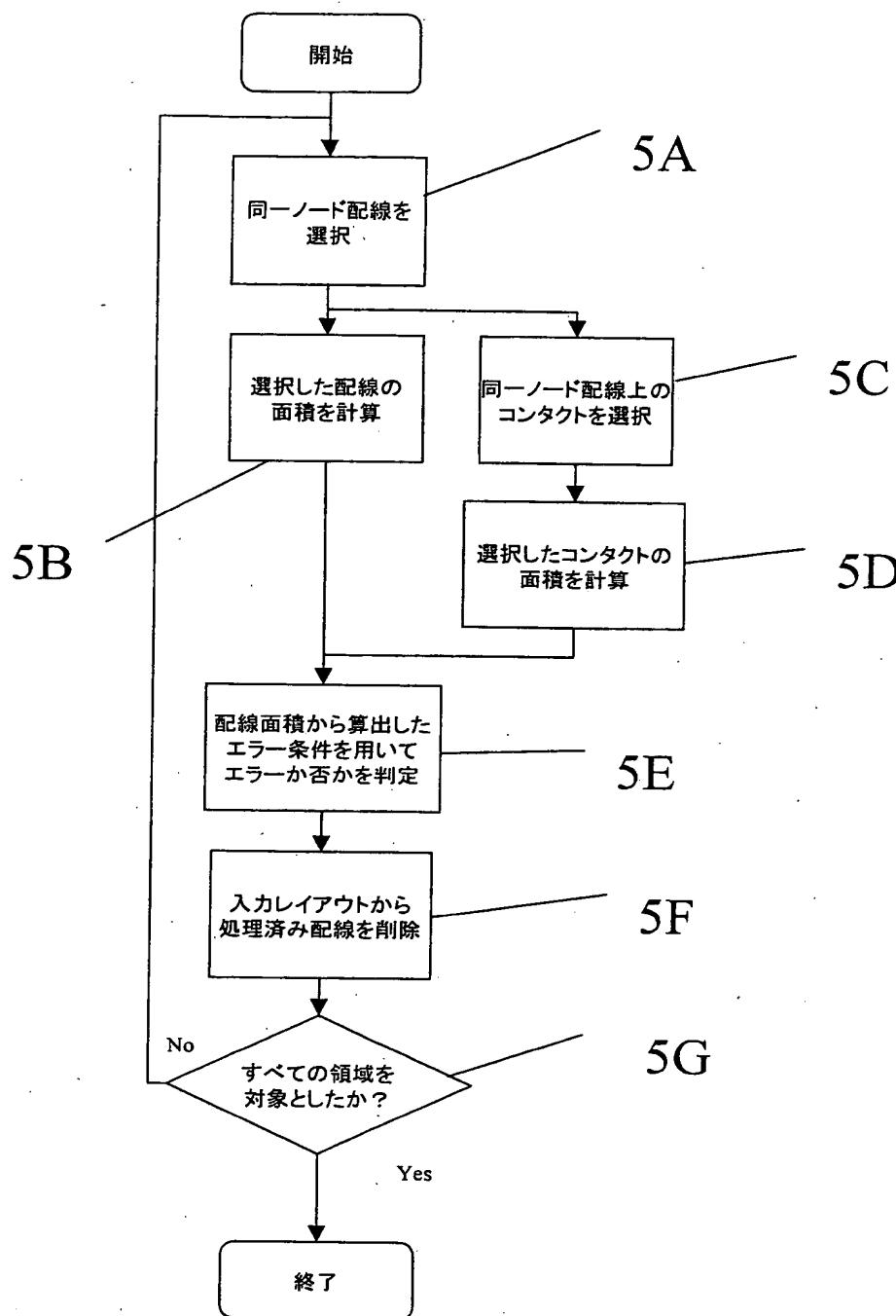
【図13】



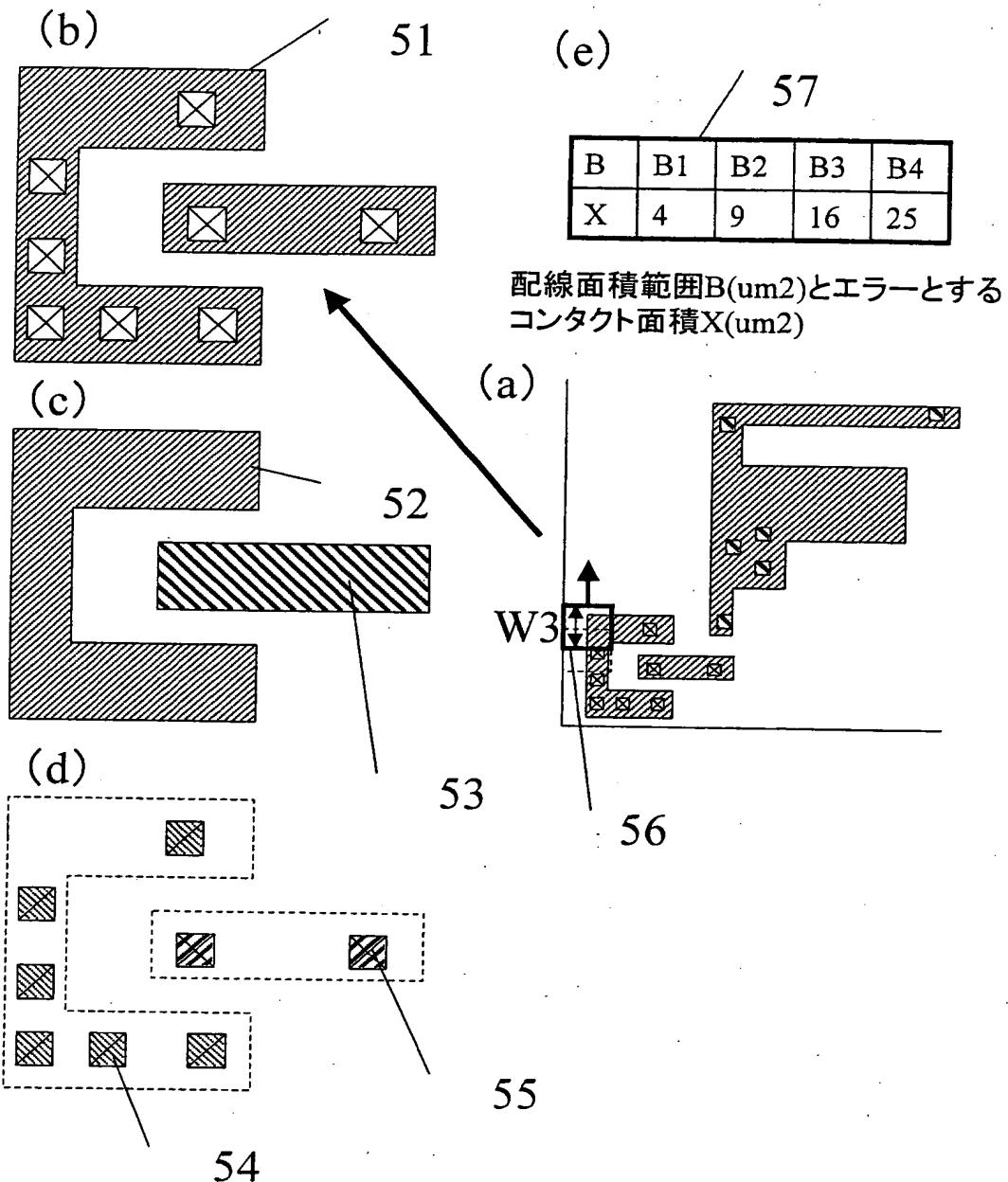
【図14】



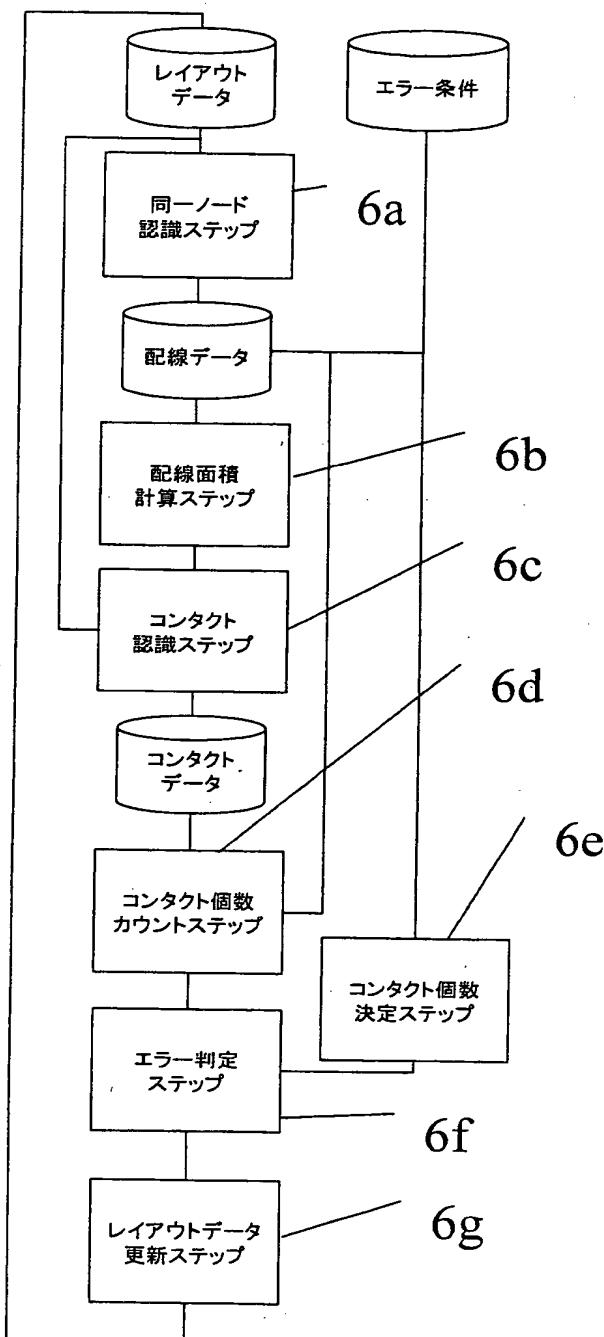
【図15】



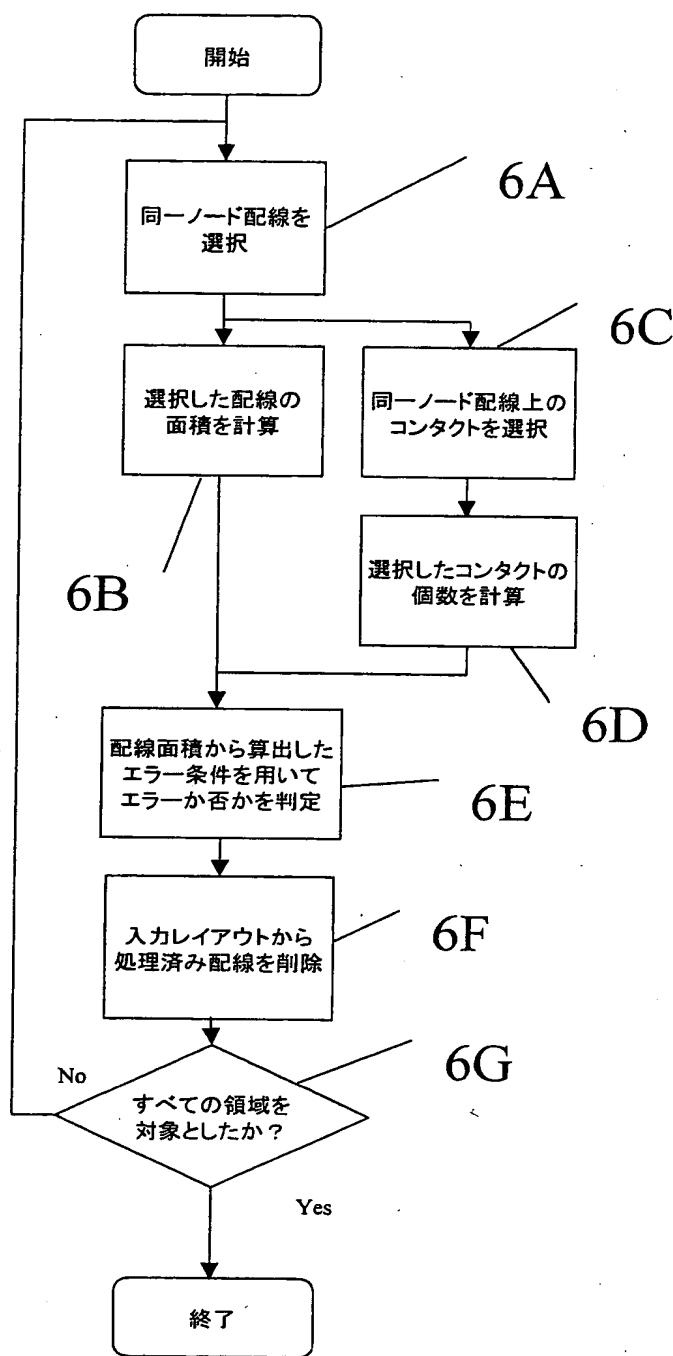
【図16】



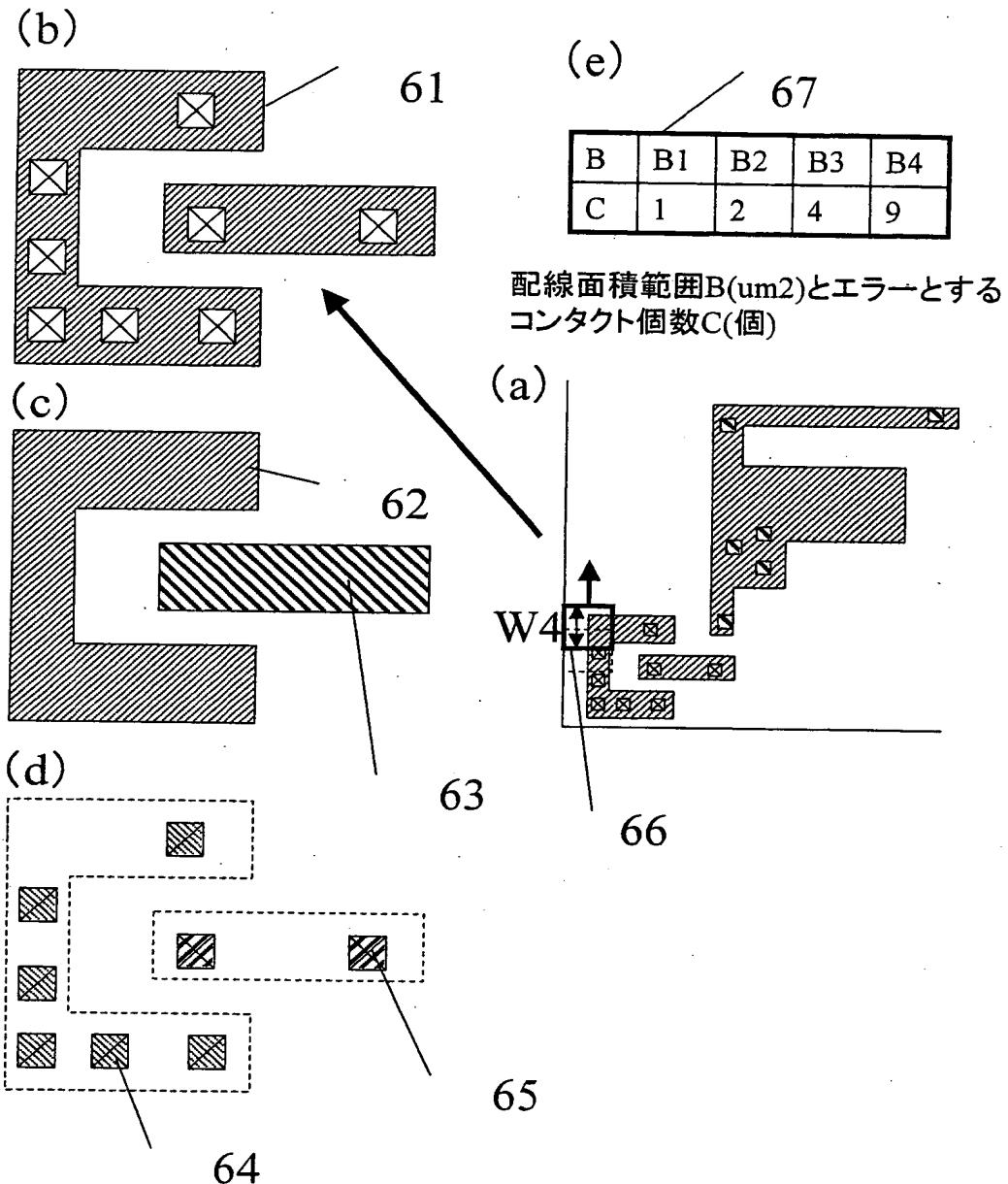
【図17】



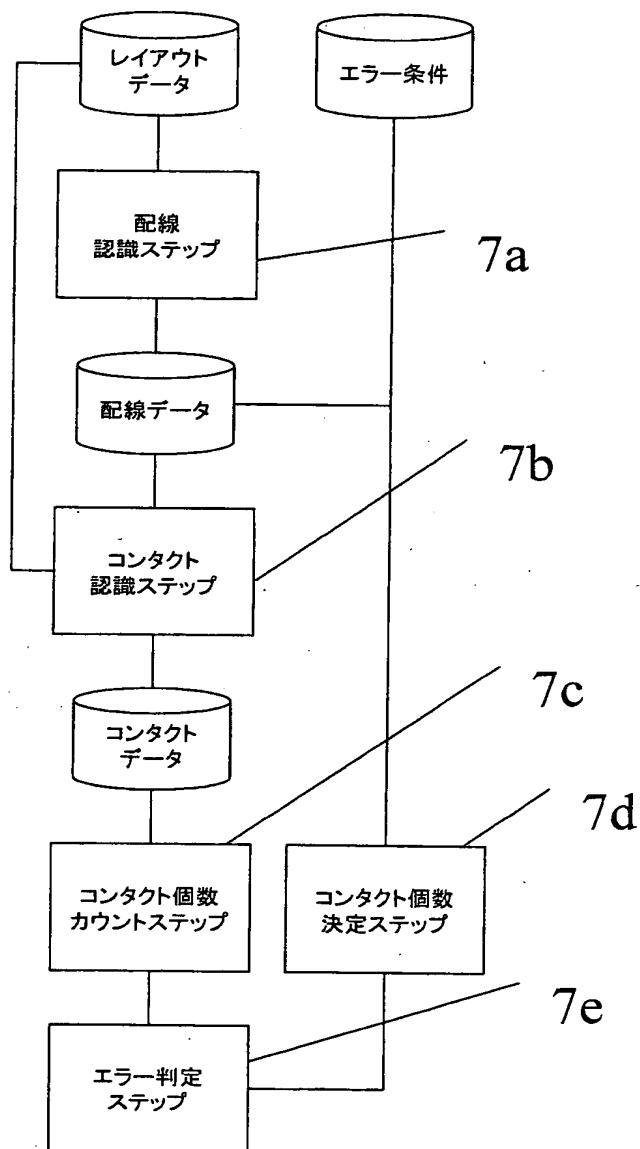
【図18】



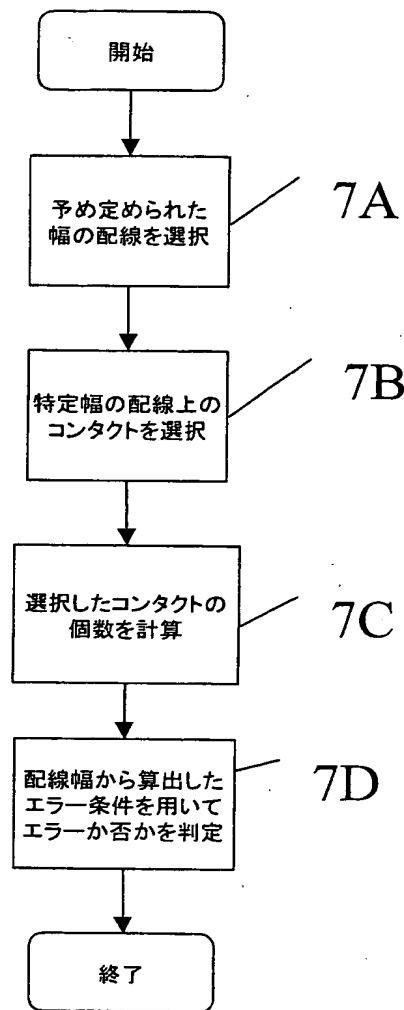
【図19】



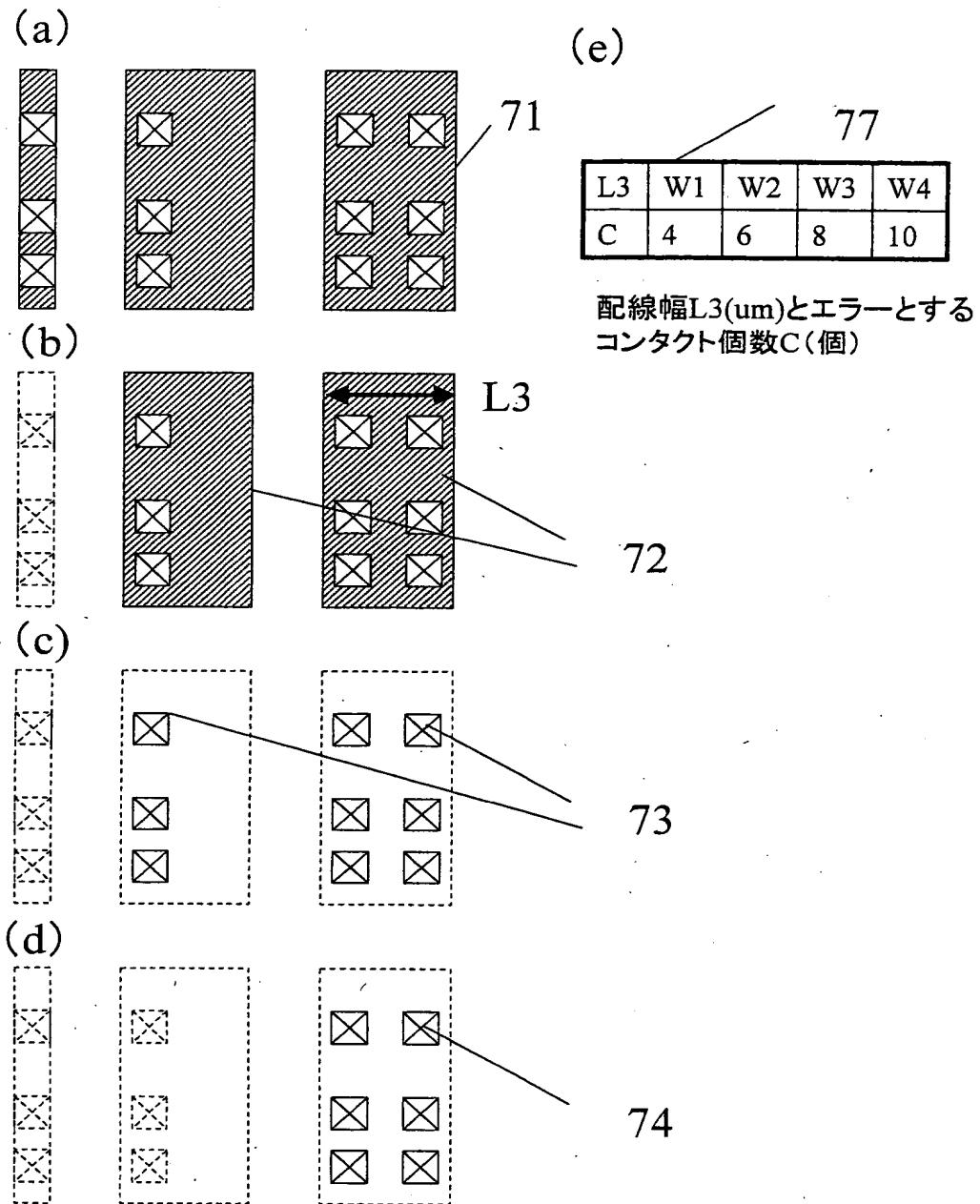
【図20】



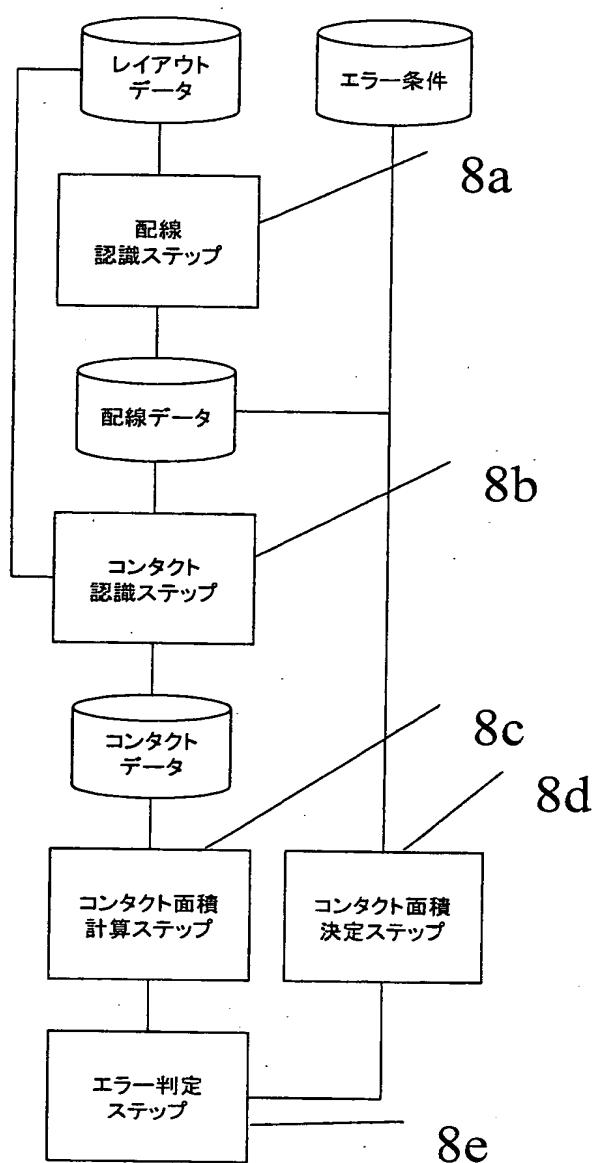
【図21】



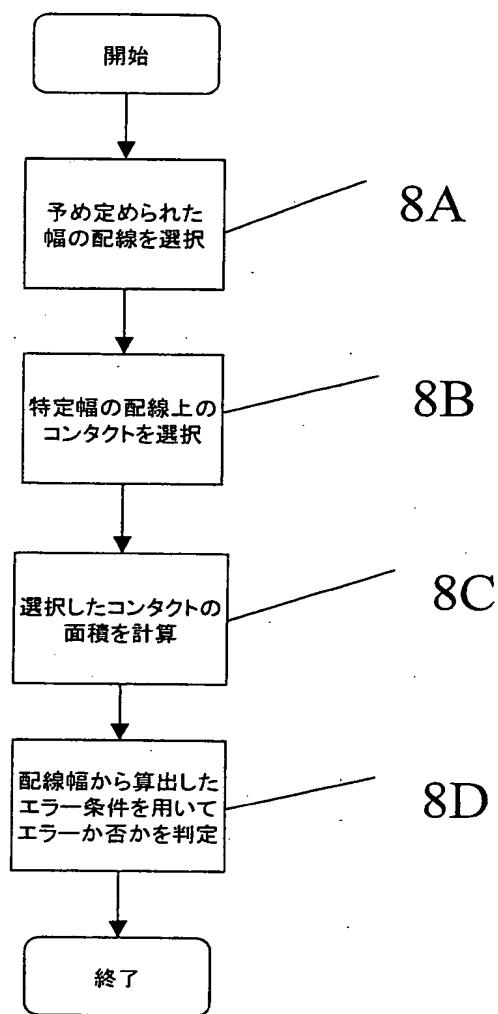
【図22】



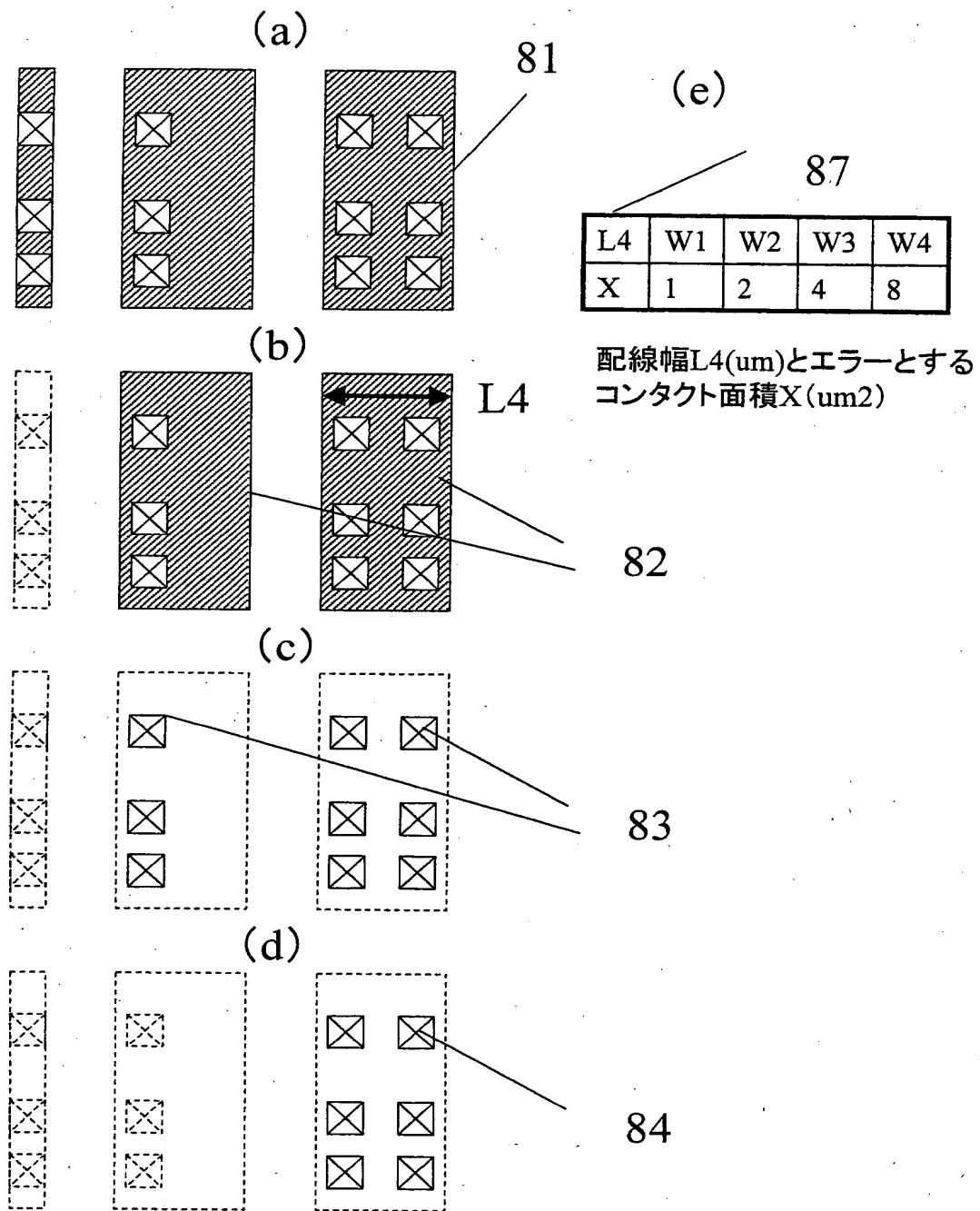
【図23】



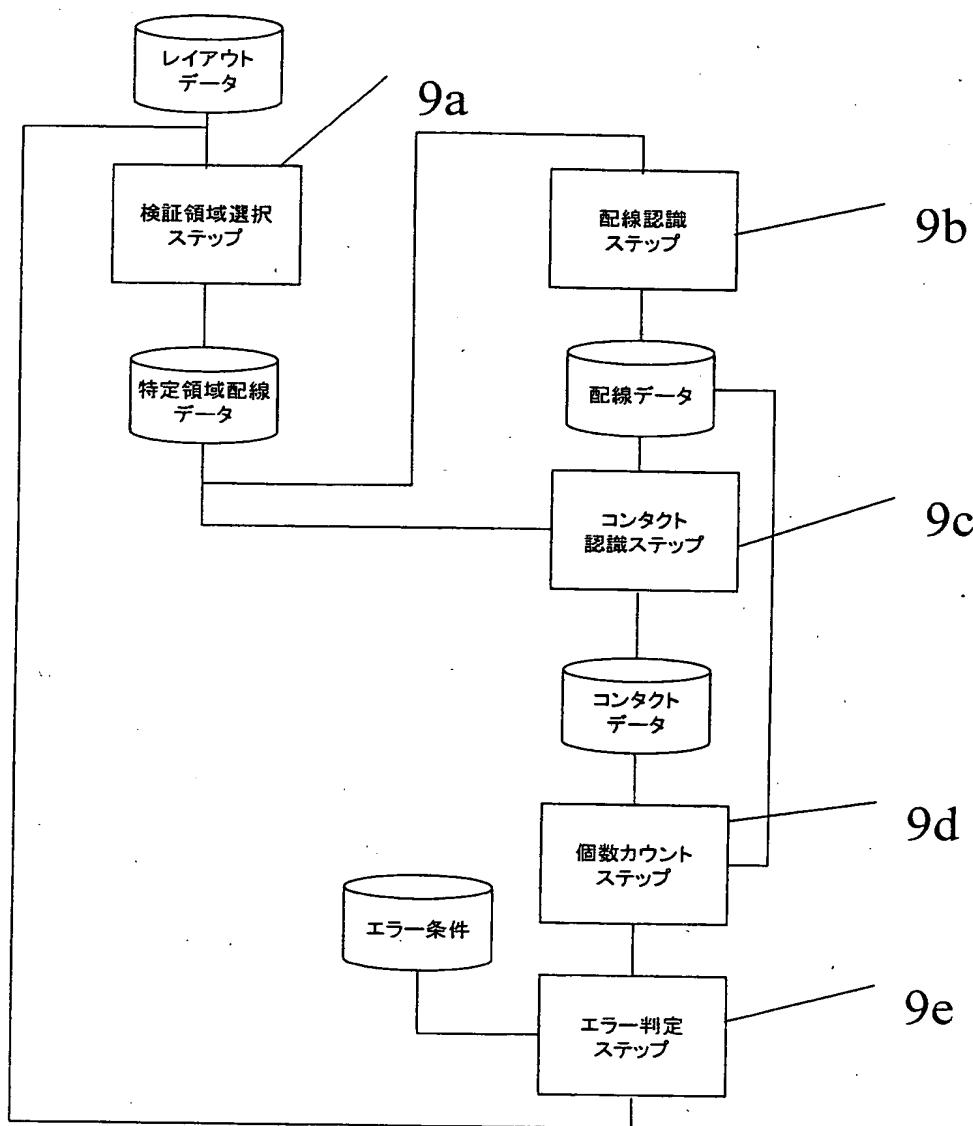
【図24】



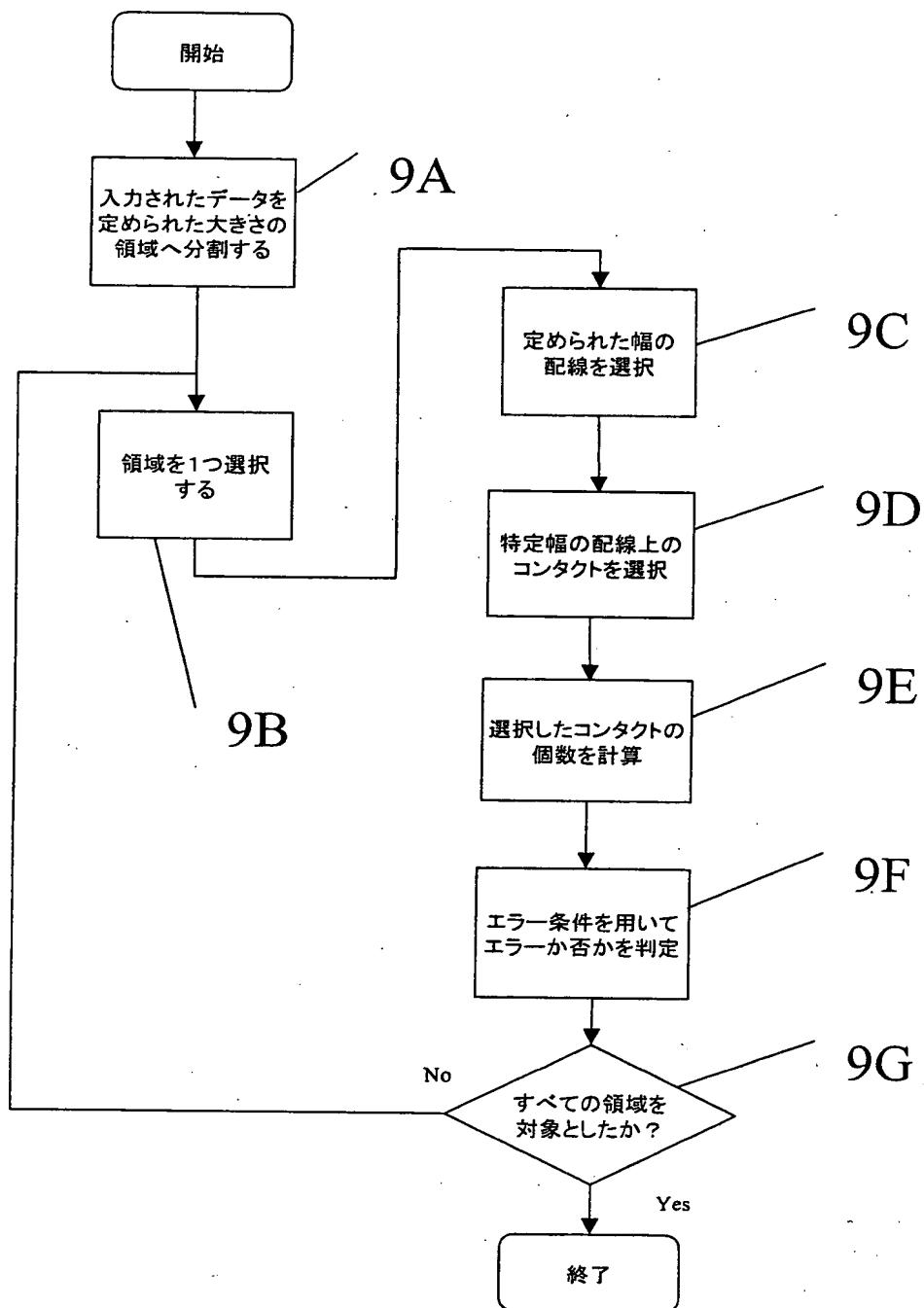
【図25】



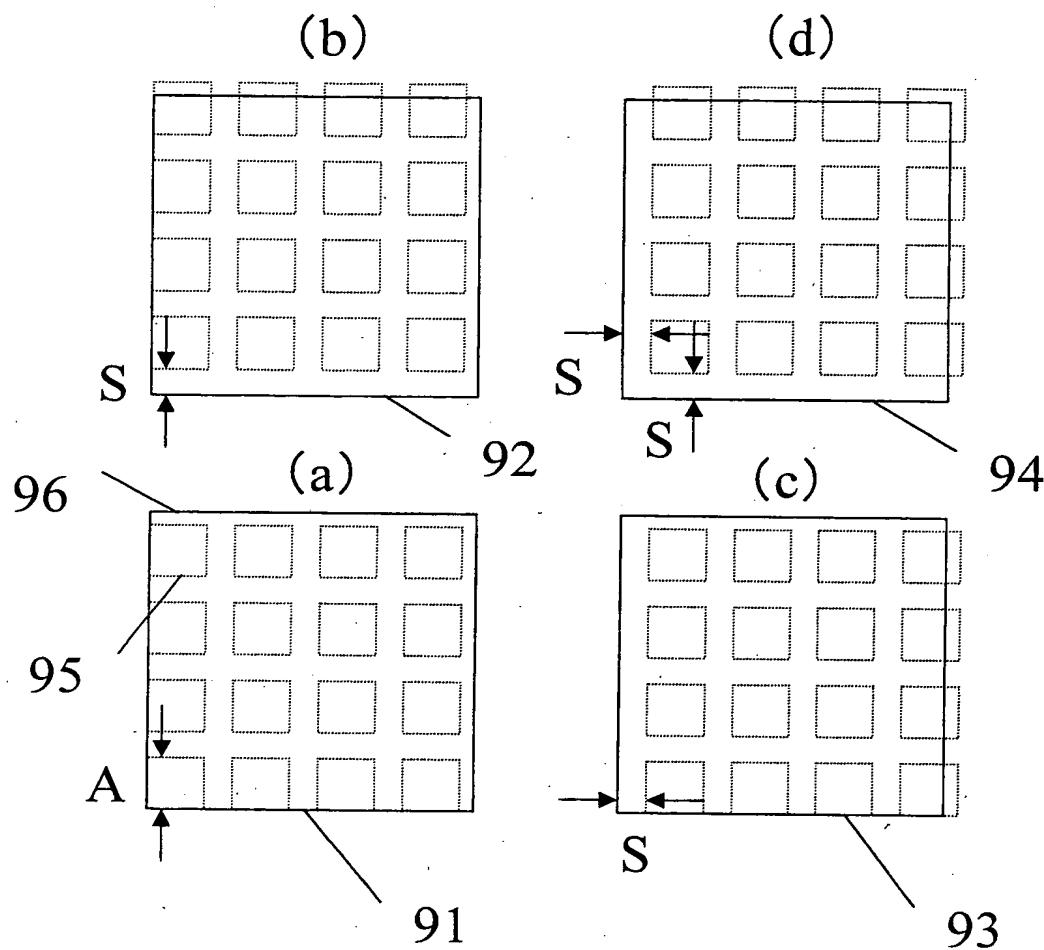
【図26】



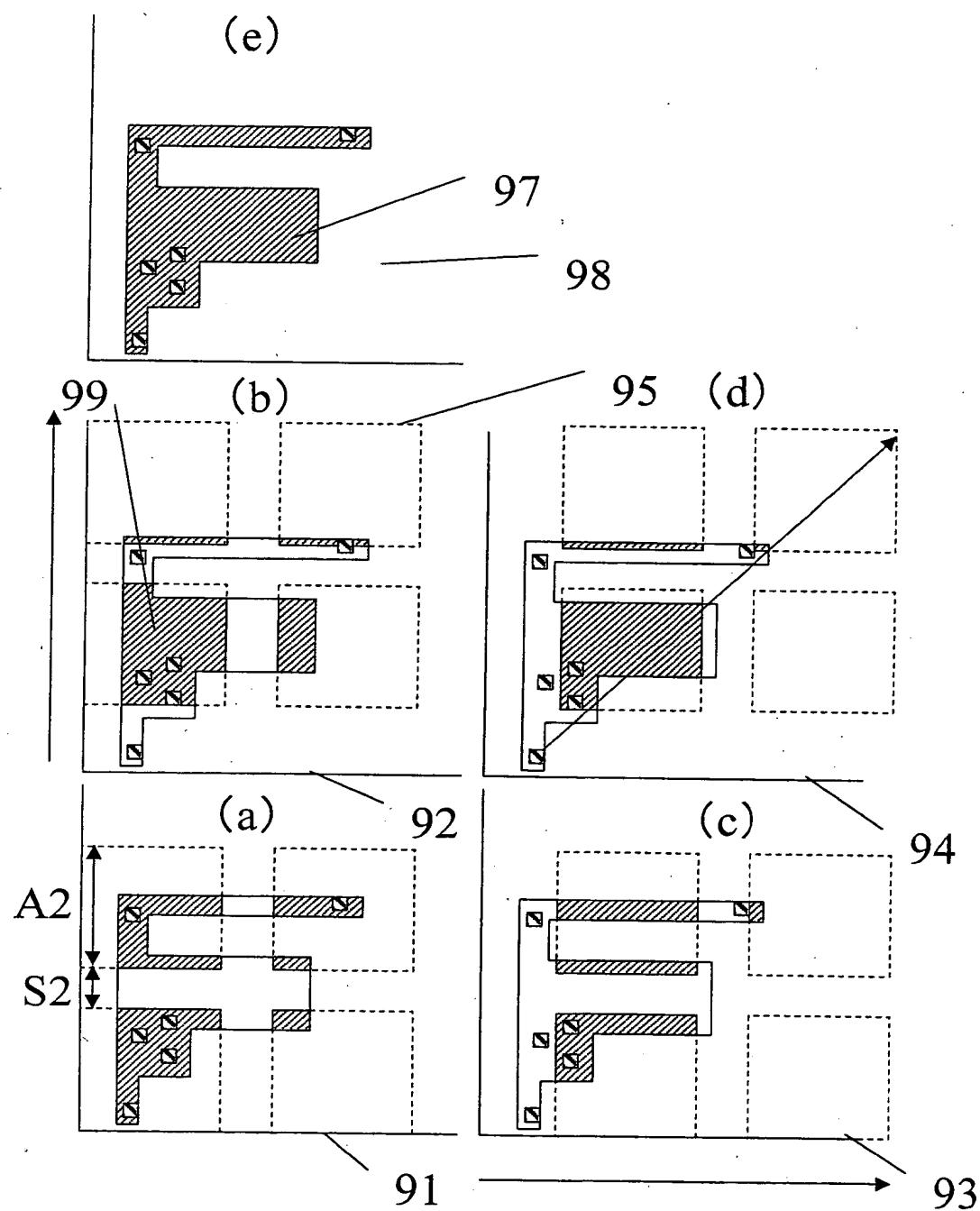
【図27】



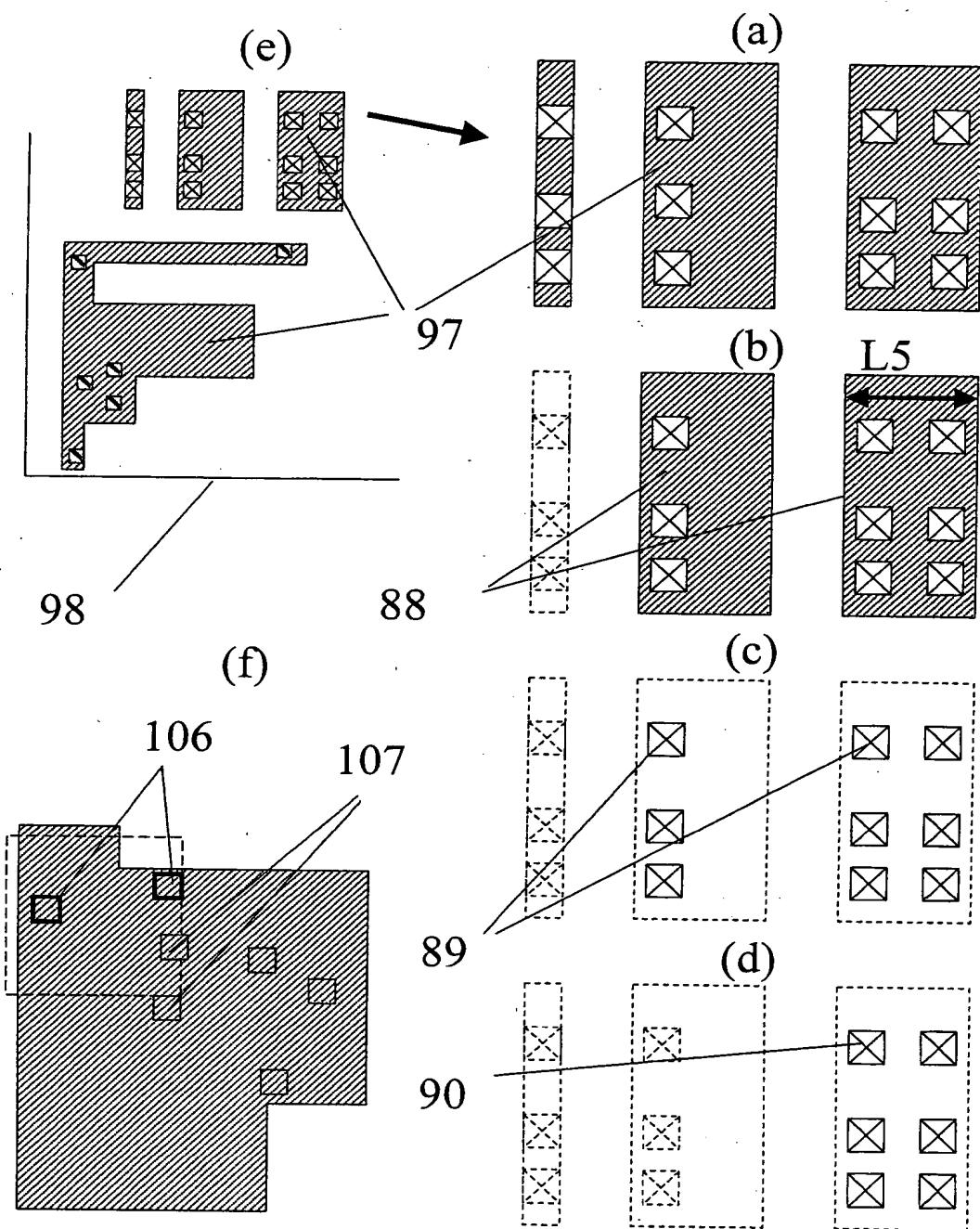
【図28】



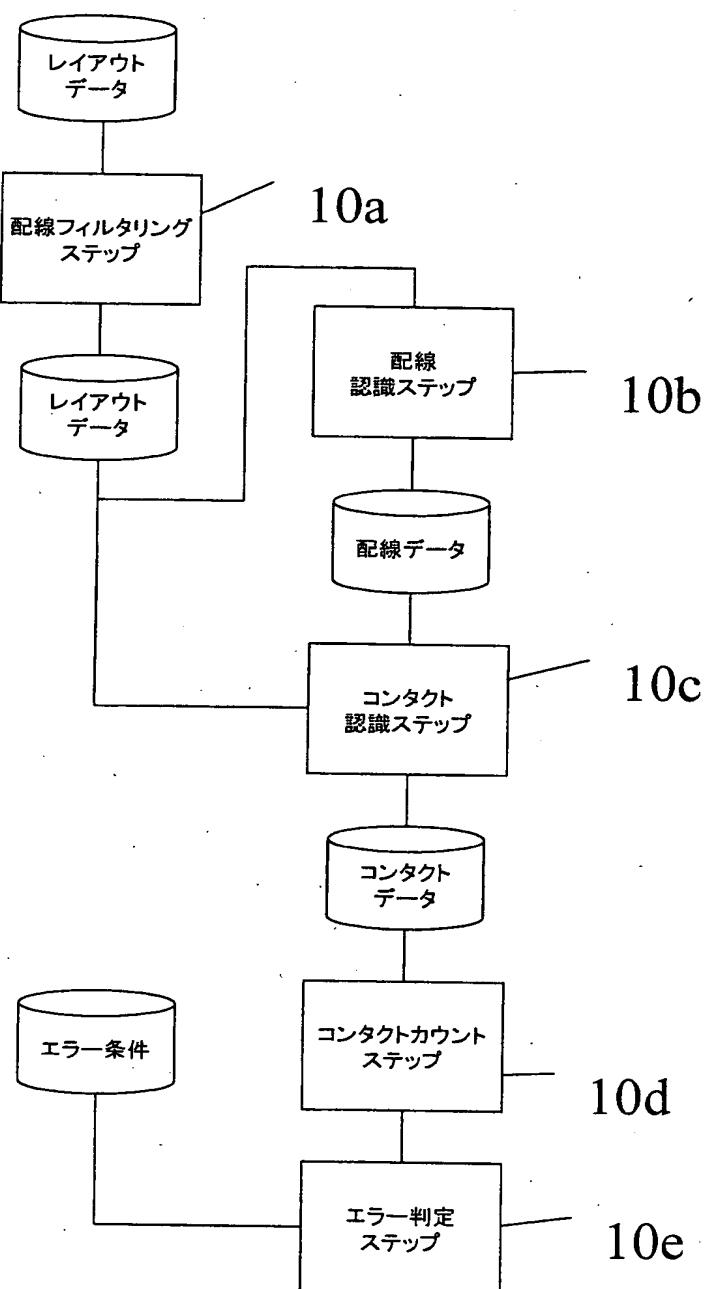
【図29】



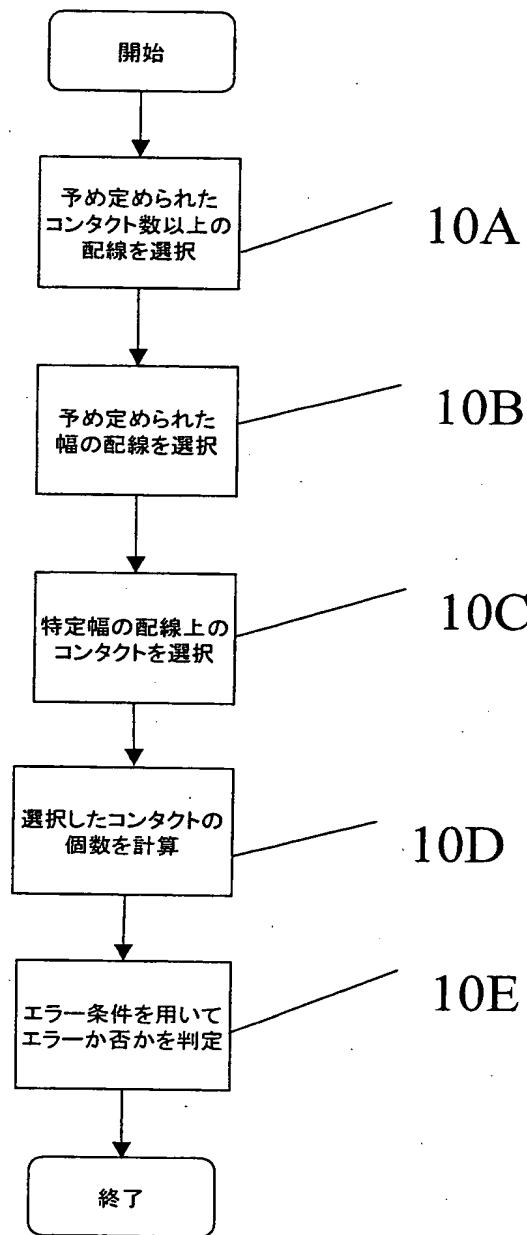
【図30】



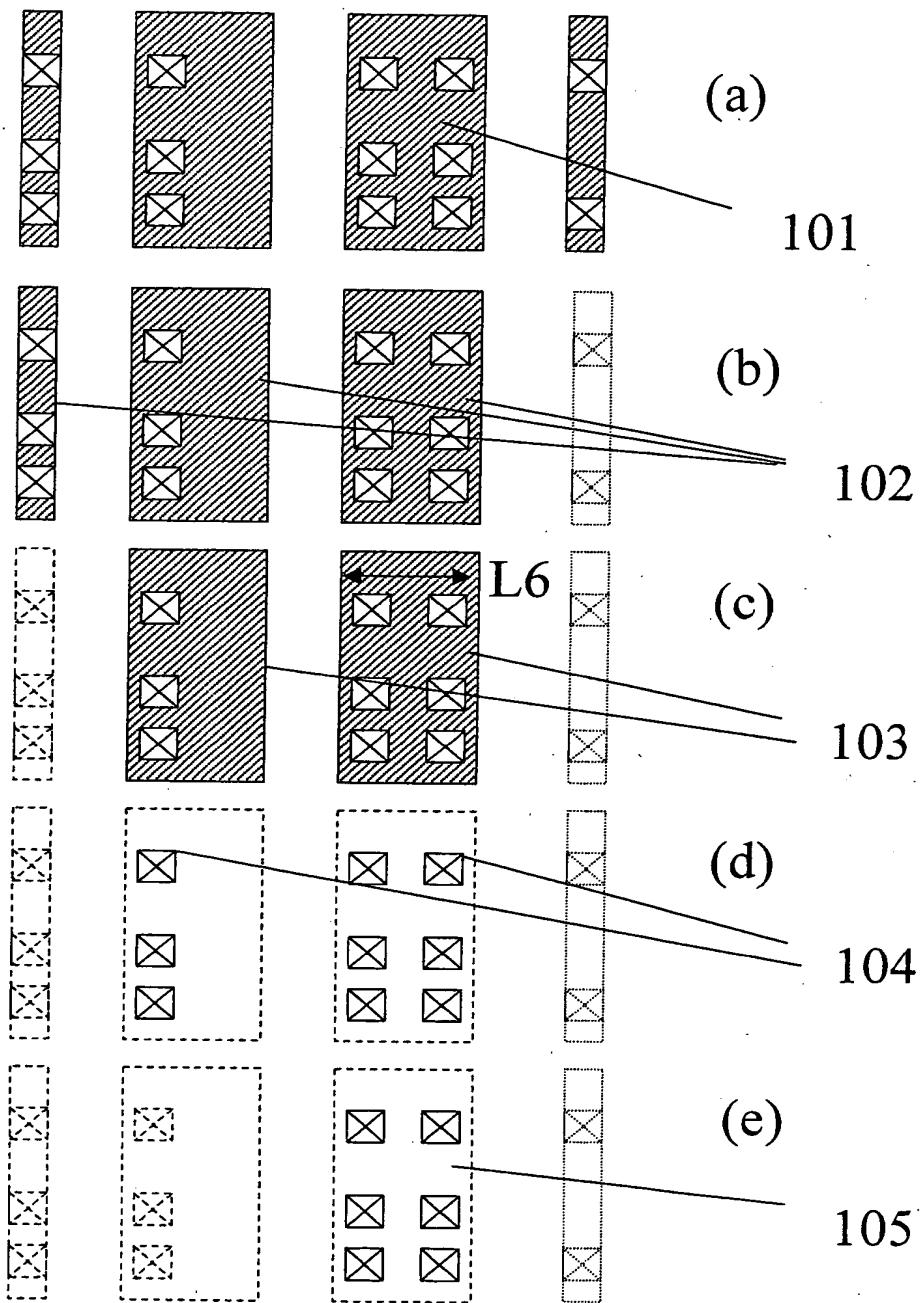
【図31】



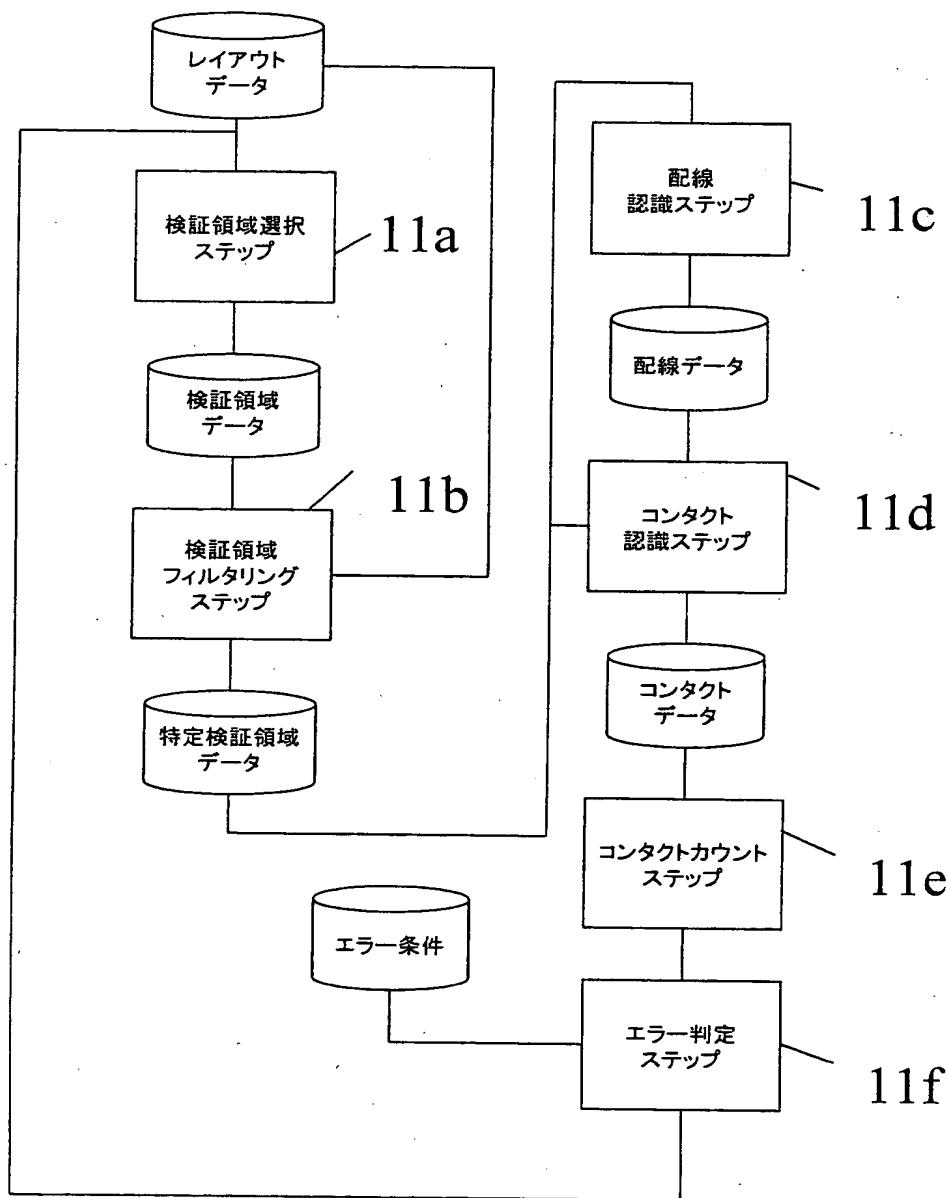
【図32】



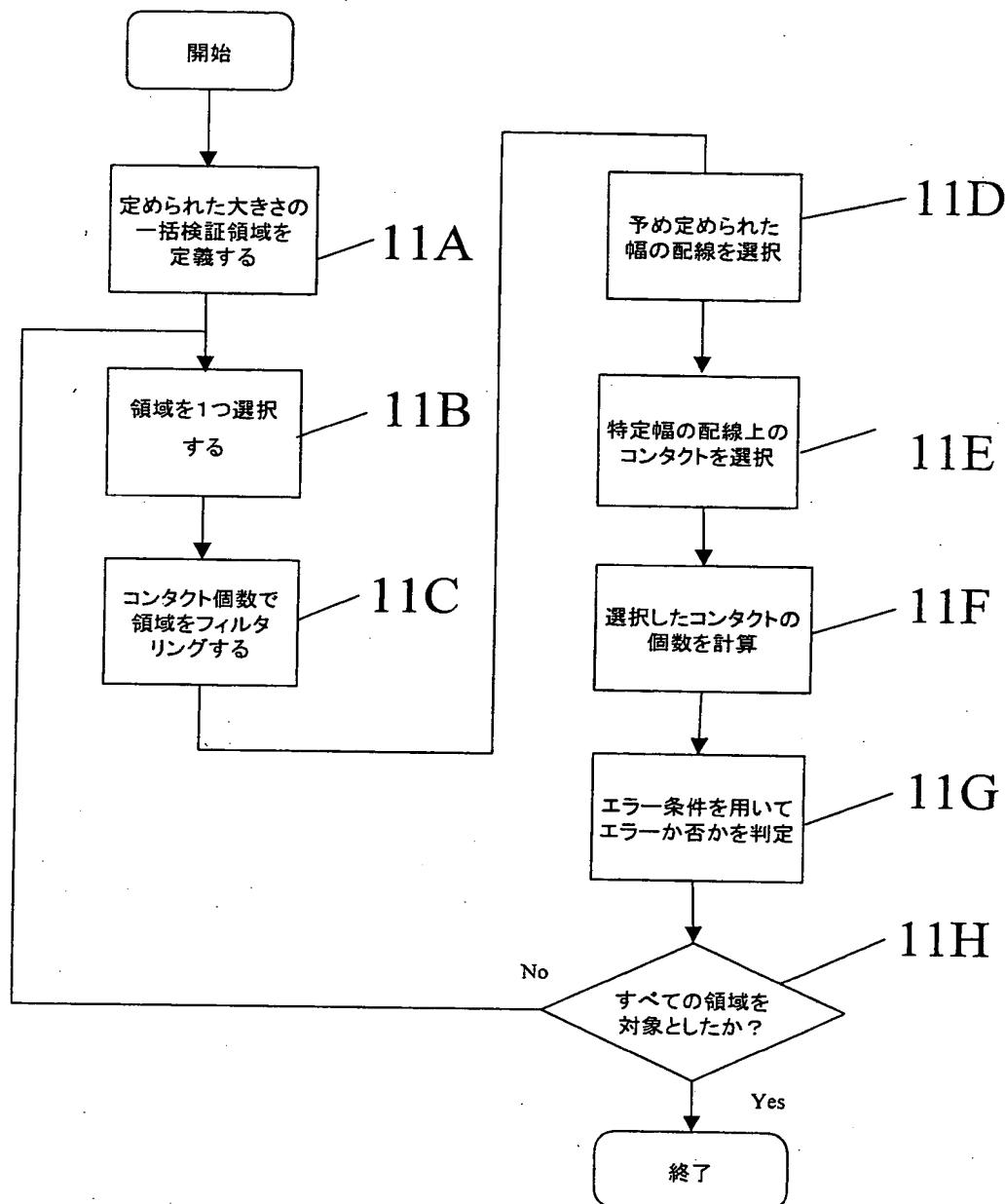
【図33】



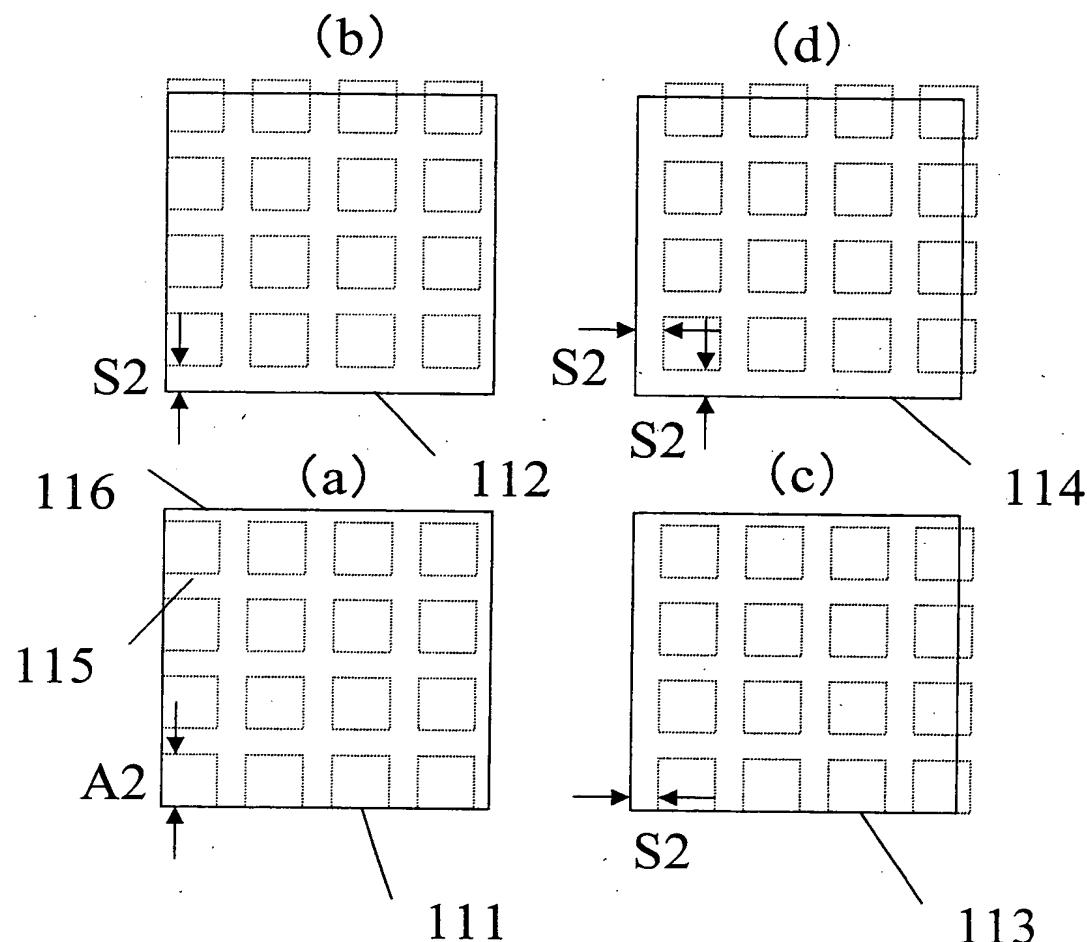
【図34】



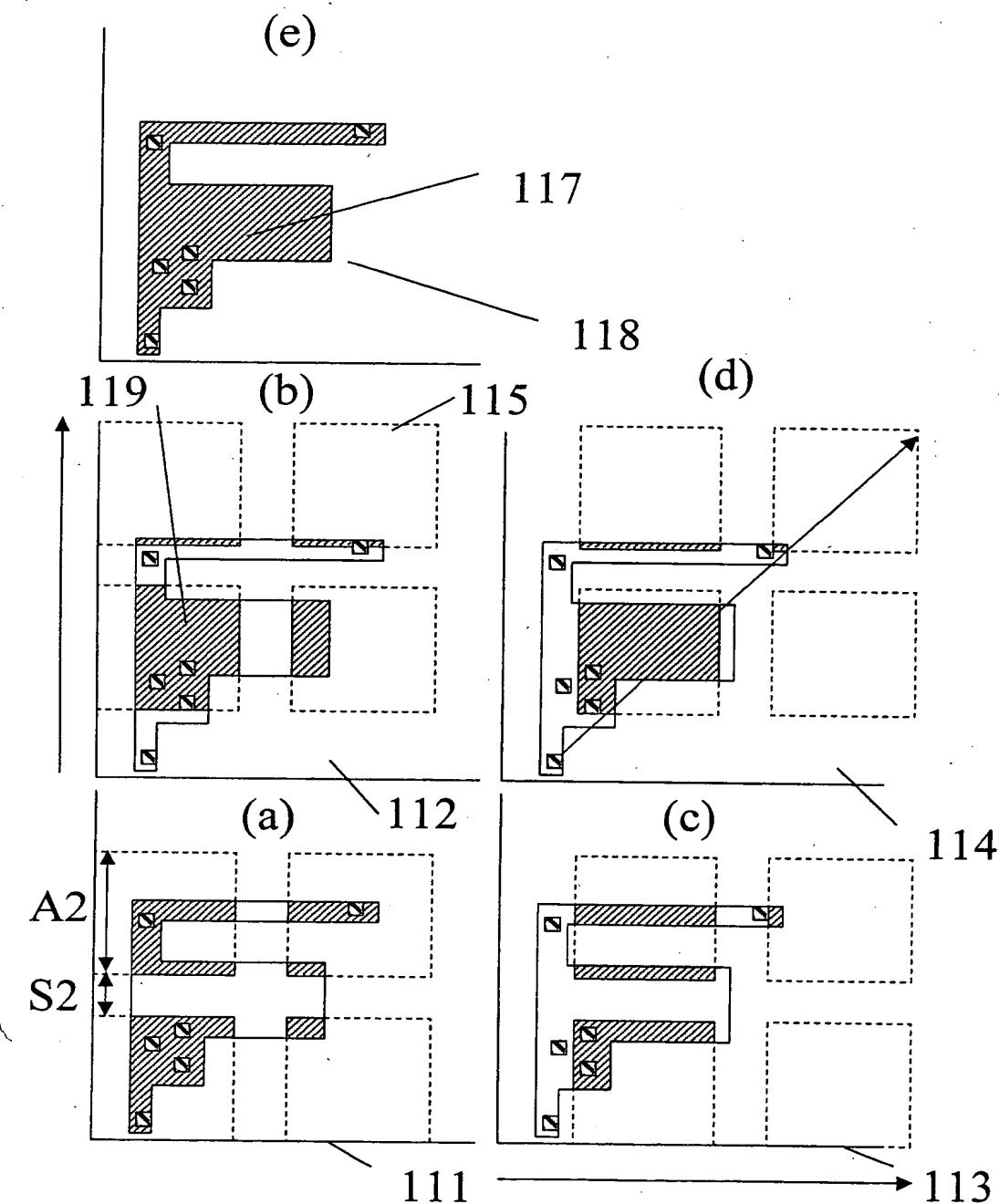
【図35】



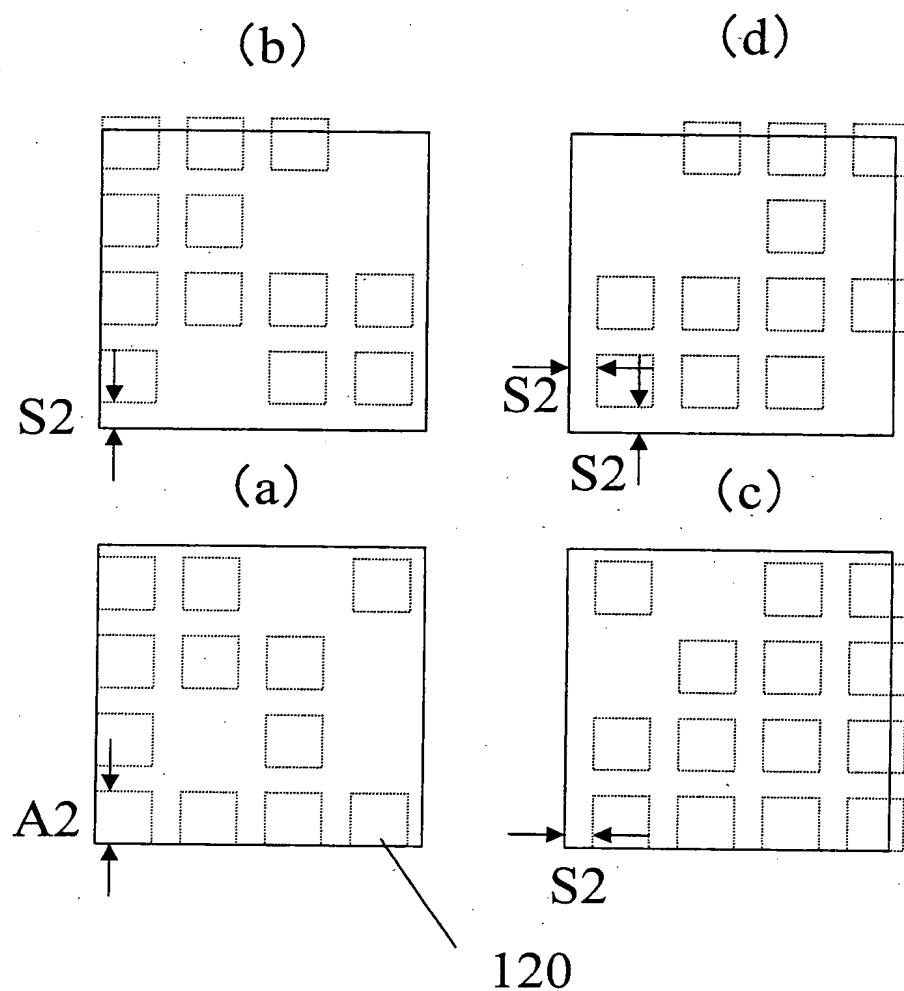
【図3.6】



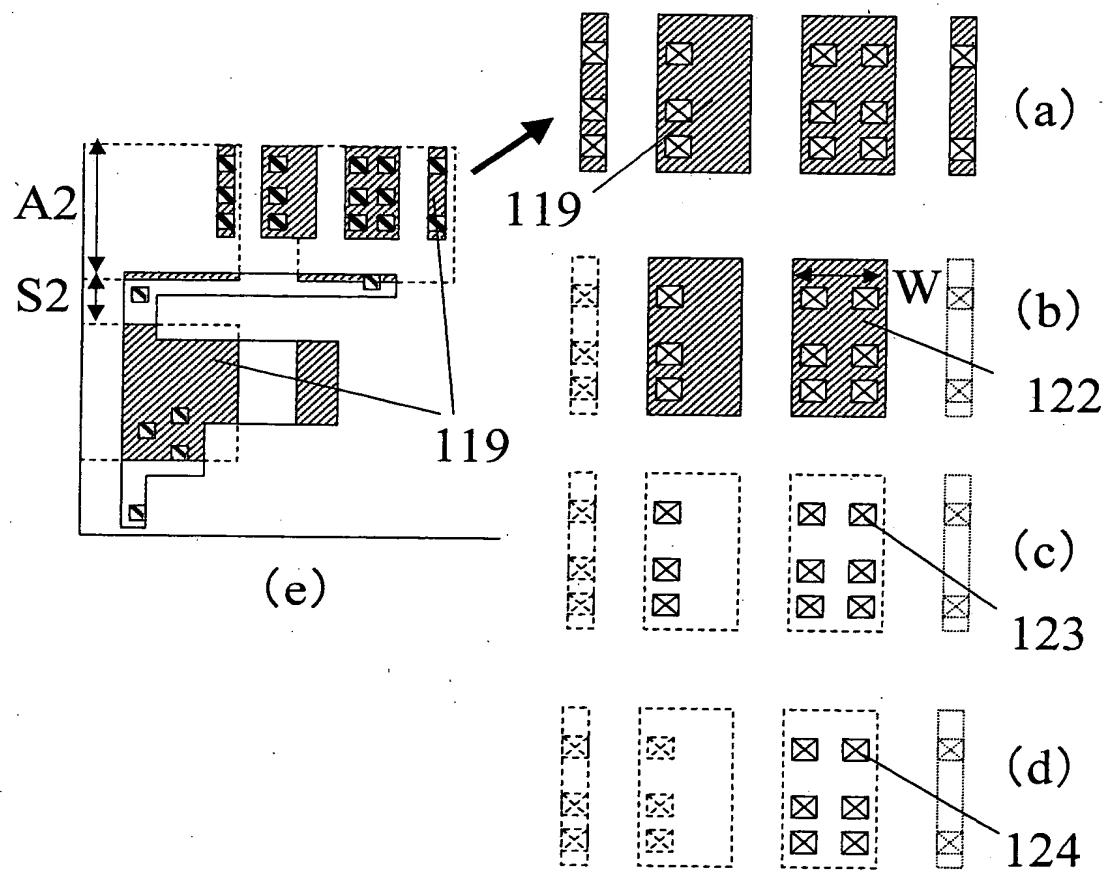
【図3-7】



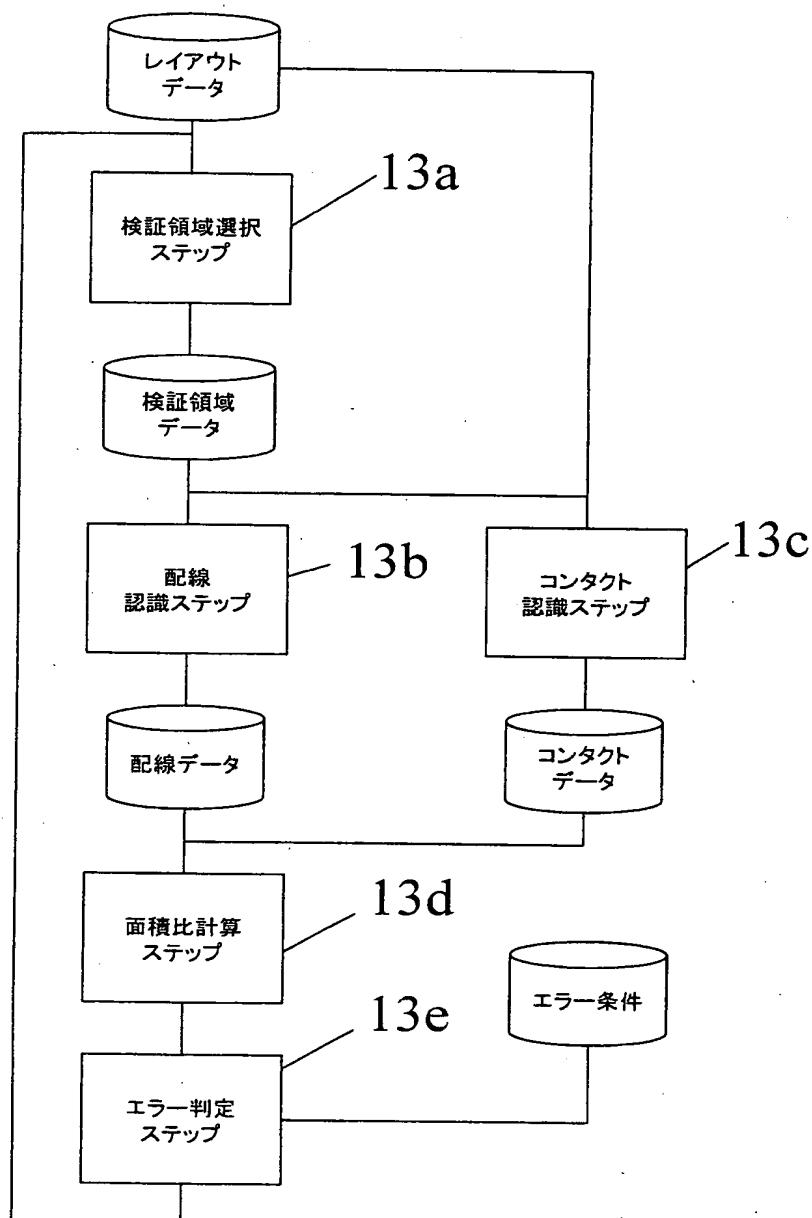
【図38】



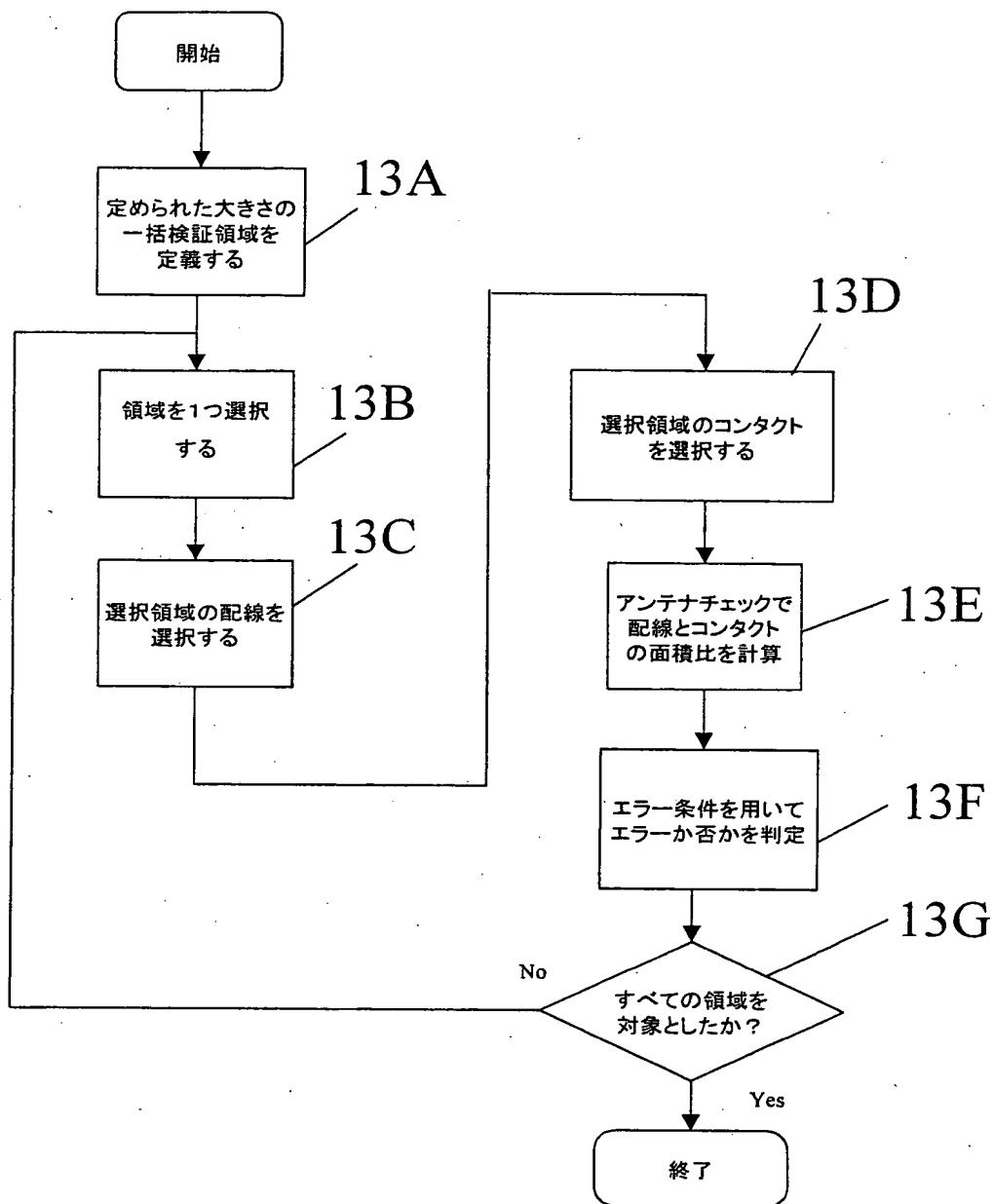
【図39】



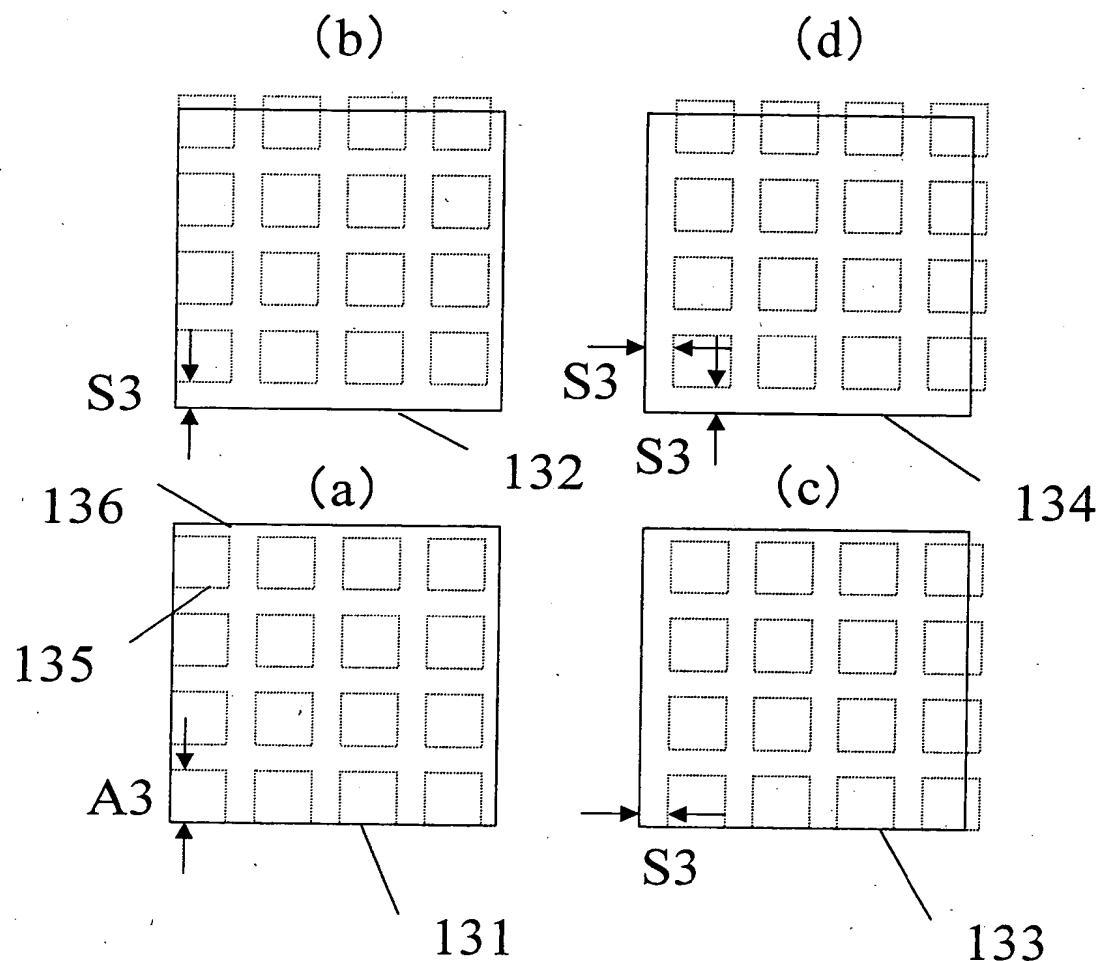
【図40】



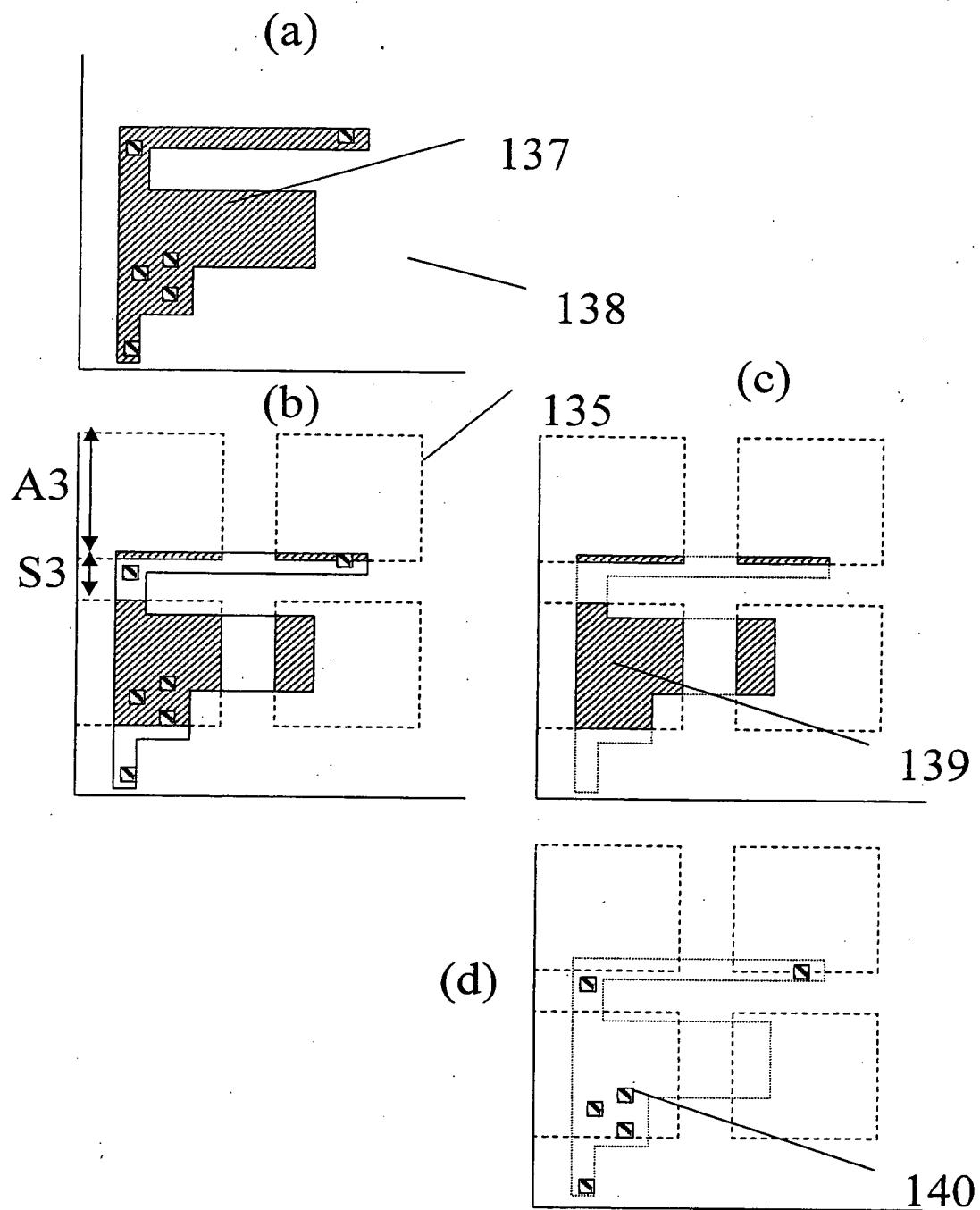
【図41】



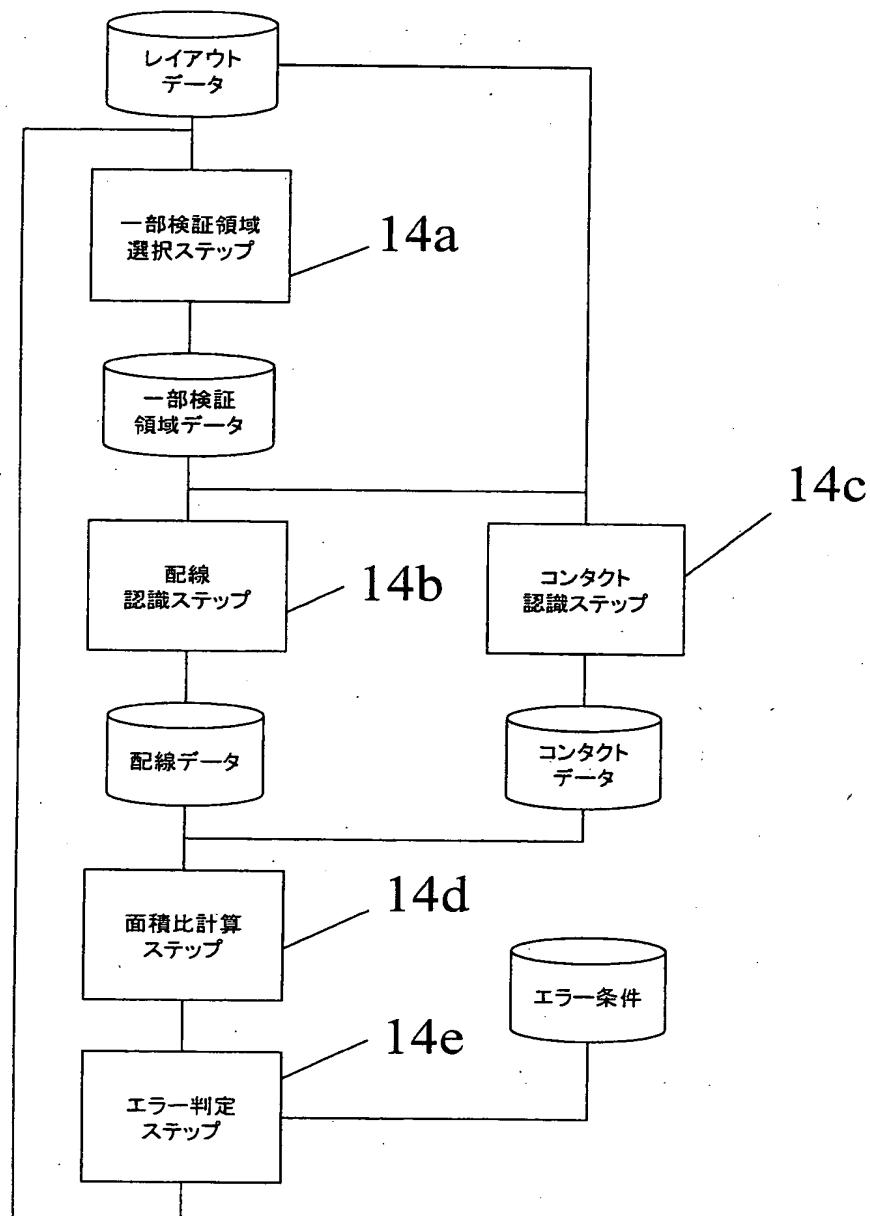
【図42】



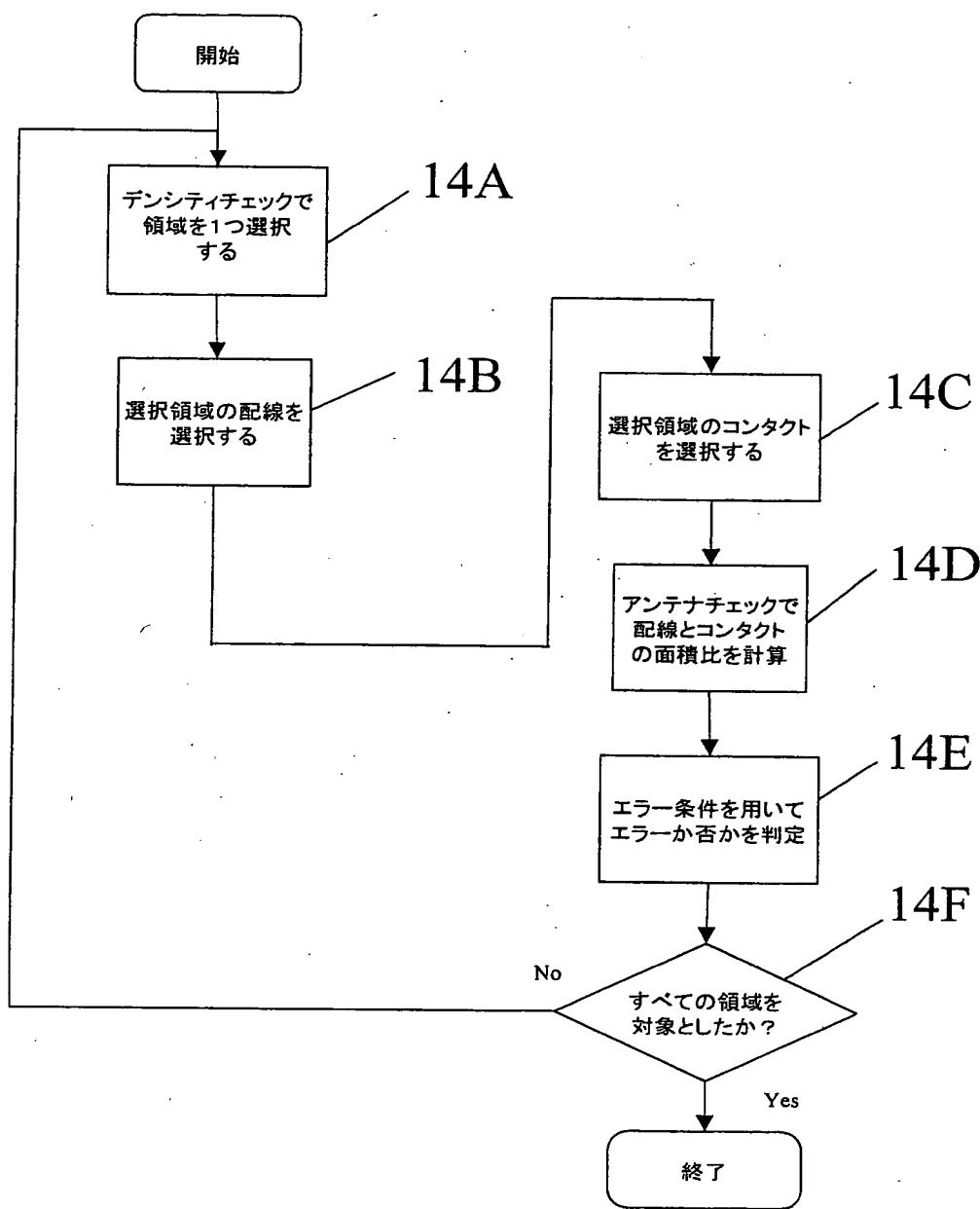
【図4-3】



【図44】

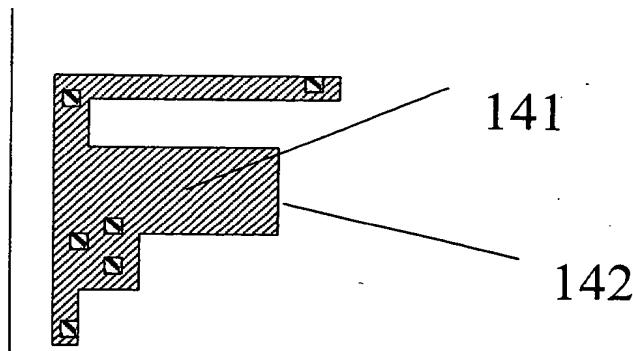


【図45】

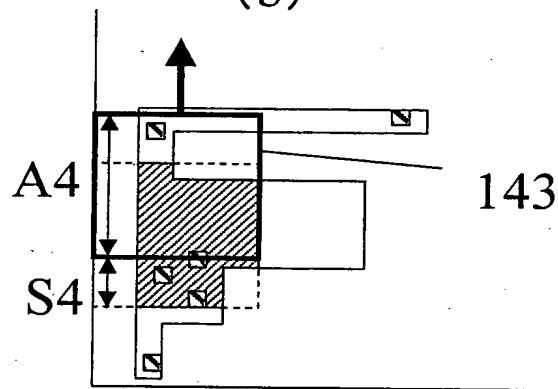


【図46】

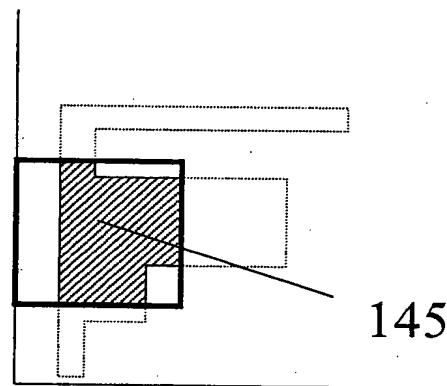
(a)



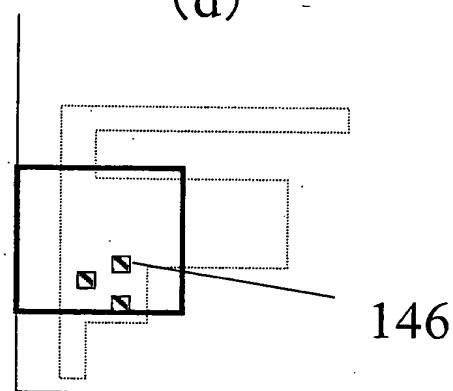
(b)



(c)



(d)



【書類名】 要約書

【要約】

【課題】 配線不良発生箇所である大面積配線上のコンタクトホール高密度部をチップレベルで発見することができる。

【解決手段】 チップレイアウト上の配線で発生する形成不良を検証する半導体装置のレイアウト検証方法であって、チップレイアウト上で同一ノード配線の総面積と同一ノード配線上のコンタクトホールの総面積との面積比を制限し、この制限に基づいて良否判定することにより配線形成不良箇所を検出する。このように、レイアウト設計段階で面積比制限を超える不良箇所を検出することにより、ヒロックや配線とコンタクトホールとの接続不良による大面積配線の断線、配線破壊、表面剥離などの形成不良を回避できる。

【選択図】 図3

認定・付加情報

特許出願の番号	特願2002-338980
受付番号	50201765666
書類名	特許願
担当官	第五担当上席 0094
作成日	平成14年11月25日

<認定情報・付加情報>

【提出日】 平成14年11月22日

次頁無

出願人履歴情報

識別番号 [000005821]

1. 変更年月日 1990年 8月28日

[変更理由] 新規登録

住 所 大阪府門真市大字門真1006番地
氏 名 松下電器産業株式会社